

# MultiExplorer: ferramenta para exploração do espaço de projetos de sistemas multicore na era de dark-silicon

Gregório Koslinski Neto, Igor Oliveira Mello e Liana D. Duenha  
{gregorio.neto,igor.mello,liana.duenha}@ufms.br

17 de outubro de 2023

## Resumo

Este artigo apresenta a ferramenta MultiExplorer, desenvolvida no Laboratório de Sistemas Computacionais de Alto Desempenho da Faculdade de Computação (FACOM/UFMS), que tem como objetivo dar suporte a atividades de pesquisa e ensino na área de simulação funcional de projetos de multiprocessadores em chip (MPSoCs), exploração de desempenho, estimativas físicas, estimativas e mitigação de *dark-silicon*. Embora este artigo esteja sendo apresentado no âmbito de um trabalho de conclusão de curso, ele será estendido e publicado como um relatório técnico da ferramenta, para auxiliar futuros pesquisadores usuários do sistema.

## 1 Introdução

A atividade de exploração do espaço de projeto de sistemas computacionais, ou *Design Space Exploration* (DSE), refere-se a exploração de diferentes alternativas de projeto antes da implementação, visando alcançar determinados objetivos e respeitar restrições. Esta atividade considerada crucial no projeto de MPSoCs (*multiprocessor system-on-chip*) e aplica-se a várias atividades de engenharia, como prototipação rápida, otimização, e integração de sistemas [23, 24].

O MultiExplorer é uma ferramenta de código aberto para realizar a exploração do espaço de projetos em sistemas multiprocessadores em chip, concebida, inicialmente, para uso em pesquisas na área de sistemas de computação. Sua versão preliminar foi apresentada à comunidade em 2015 [13] e, a partir daí, foi continuamente estendida com novas funcionalidades:

- Estimativa de *dark-silicon* em MPSoCs com metodologia baseada na densidade de potência dos componentes do chip [36].
- Inclusão de algoritmos exato e aproximado para exploração do espaço de projetos [34].
- Predição de desempenho de sistemas multicore, utilizando modelos de aprendizado de máquina e redes neurais [35].
- Exploração do espaço de projetos de sistemas many-core heterogêneos GP-GPU [38].

Ademais, há projetos em andamento sobre a infraestrutura do MultiExplorer, com resultados preliminares já validados e reconhecidos:

- Utilização do MultiExplorer para alocação de recursos em nuvem [2].
- Exploração do espaço de projetos com computação aproximada [8].
- Utilização do MultiExplorer para suporte ao ensino e aprendizagem (artigo em processo de avaliação em evento internacional).

Este artigo apresenta a descrição das funcionalidades e módulos da ferramenta MultiExplorer, o seu processo de instalação, seus casos de uso e exemplos de experimentos, a fim de facilitar a sua utilização pelo usuário. Um aspecto importante foi a constatação e correção de inconsistências na ferramenta e em sua base de dados, garantindo assim a validação de seu funcionamento e a confiabilidade dos resultados. O texto está organizado como segue: a Seção 2 aborda conceitos sobre o surgimento do efeito dark-silicon nos sistemas computacionais modernos; a Seção 3 descreve a ferramenta MultiExplorer, seus principais módulos e fluxo; a Seção 4 mostra dados resultantes de um grande conjunto de simulações de desempenho e estimativas físicas dos modelos de processadores disponíveis no banco de dados da ferramenta. A Seção 5 conclui este texto e os Apêndices A e B contêm manuais de instalação e uso da ferramenta MultiExplorer.

## 2 Referencial Teórico

O objetivo desta seção é mostrar como surgiu o efeito *dark-silicon* na indústria de processadores, a metodologia de estimativa de *dark-silicon* adotada neste trabalho e algumas forma de mitigá-lo durante a fase de projeto de novos sistemas computacionais.

### 2.1 O que é e como surgiu o fenômeno *dark-silicon*

Os transistores são componentes eletrônicos utilizados principalmente como chaves que habilitam ou desabilitam a passagem de corrente elétrica em projetos eletrônicos. O MOSFET (Transistor de Efeito de Campo de Semicondutor de Óxido Metálico) é um tipo de transistor que é fabricado em várias etapas de processos químicos, envolvendo a oxidação do silício, seleção de dopantes e corrosão de camadas de metais, isolantes e contatos. A introdução do MOSFET na década de 50 revolucionou o mercado de sistemas eletrônicos. Isso possibilitou a fabricação de dispositivos cada vez menores e mais eficientes em termos de consumo energético, tornando o MOSFET um componente muito mais competitivo em relação às alternativas da época.

O MOSFET é regido por campo elétrico e pode ser categorizado em dois tipos: tipo *p* (positive metal-oxide-semiconductor (pMOS)) e tipo *n* (negative metal-oxide-semiconductor (nMOS)). Ele possui três terminais em sua estrutura: Dreno(D), Fonte(F) e Porta(P), cujas denominações em inglês são Drain(D), Source(S) e Gate(G).

A Figura 1 apresenta a visão em corte transversal do transistor, permitindo a observação de seus principais componentes e como eles se interconectam para formar o dispositivo. Cada transistor é composto por uma pilha com a porta condutora, uma fina camada isolante de dióxido de silício (SiO<sub>2</sub>), o corpo de silício ou substrato (Si) e dois terminais dopados (fonte e dreno), que estão separados por uma distância  $L$  que corresponde ao comprimento do canal do transistor. A porta permite o fluxo de corrente entre os terminais.

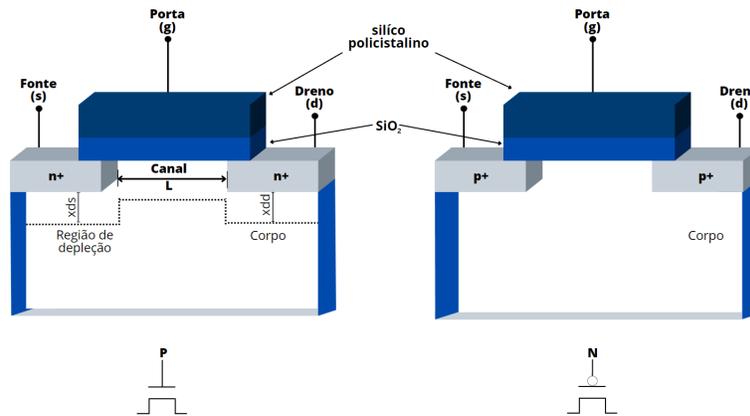


Figura 1: Transistor do tipo P e tipo N.

Desde o surgimento dos transistores, a indústria de processadores busca constantemente aumentar sua capacidade de processamento. Em 1965, Gordon Moore, cofundador da Intel, previu que a integração de circuitos eletrônicos e a miniaturização dos transistores seriam fundamentais para o desenvolvimento da indústria eletrônica. Ele estimou que a quantidade de transistores em um chip dobraria a cada 18 meses a 2 anos, com um aumento mínimo de custo. Essa previsão ficou conhecida como Lei de Moore, que tem sido um guia importante para a evolução da tecnologia de processadores.

Além da Lei de Moore, outra contribuição importante para o desenvolvimento da miniaturização de transistores e circuitos eletrônicos foi a escala de integração de Dennard, também conhecida como escala MOSFET. Essa escala afirma que a densidade de potência de um transistor permanece constante mesmo após os processos de miniaturização, de modo que o uso de energia permanece proporcional à área. Isso permite que os dispositivos sejam reduzidos, preservando suas características e, ao mesmo tempo, com desempenho otimizado e prevenção de problemas de temperatura.

No processo de miniaturização de transistores e circuitos eletrônicos, é utilizada a métrica de fator de escala tecnológica  $S$  para indicar o fator de miniaturização entre dispositivos eletrônicos com fabricação distinta (tamanho dos transistores). Por exemplo, ao mudar da tecnologia de  $180nm$  para  $90nm$ , o fator de escala  $S$  é definido como  $180/90 = 2$ , o que significa que  $S = 2$ . Essa métrica é importante para o acompanhamento da evolução tecnológica e para a fabricação de dispositivos eletrônicos cada vez mais eficientes.

A Tabela 1 mostra como é possível caracterizar, em função de  $S$ , parâmetros existentes em um dispositivo eletrônico, seguindo os princípios da escala de integração de Dennard.

Parâmetro do dispositivo ou circuito.	Parâmetro	Fator de Escala
Dimensões do dispositivo ( $\mu\text{m}$ ).	$t_{ox}, L, W$	1/S
Concentração de dopante ( $N_a \times \text{cm}^{-3}$ )	$N_a$	S
Tensão limiar (V)	$V_{th}$	1/S
Tensão de alimentação (V)	$V_{DD} \approx V_{th} \times 3$	1/S
Corrente (A)	$I$	1/S
Quantidade de dispositivos	$Q$	$S^2$
Frequência (Hz)	$F$	S
Capacitância (F)	$C$	1/S
Potência (W)	$P = Q \times F \times C \times V_{DD}^2$	1
Tempo de atraso por circuito (ns)	$(V \times C)/I$	1/S
Área ( $\text{m}^2$ )	$A = W \times L$	$1/S^2$
Dissipação de potência por circuito (W)	$V \times I$	$1/S^2$
Densidade de potência ( $\text{W}/\text{m}^2$ )	$(V \times I)/A$	1
Utilização	$1/P$	1

Tabela 1: Comportamento do transistor conforme a escala de Dennard [12]. O parâmetro  $t_{ox}$  representa a espessura,  $L$  representa o comprimento e  $W$  representa a largura do óxido.

Durante décadas, a indústria de processadores foi guiada pela Lei de Moore e pela escala de integração de Dennard, que resultaram em um aumento exponencial de desempenho. A Lei de Moore ainda é relevante nos dias de hoje, porém a escala de integração de Dennard não é mais aplicável em projetos de processadores com menos de  $90\text{nm}$ , já que os dispositivos apresentam comportamento diferente do previsto. A miniaturização ainda é possível, mas encontra dificuldades devido às limitações físicas, especialmente relacionadas à corrente de fuga causada pelo tamanho cada vez menor dos dispositivos, o que é conhecido como a barreira de utilização (*utilization wall*). Essa barreira de utilização tem sido um desafio para a indústria de processadores, uma vez que limita a quantidade de transistores que podem ser incorporados em um chip, afetando diretamente o desempenho e a eficiência energética. Para contornar esse problema, a indústria tem explorado outras alternativas, como o empilhamento de chips[44], a utilização de materiais alternativos e novas arquiteturas de processadores. Além disso, a busca por novas tecnologias, como a computação quântica, pode representar uma solução para superar a barreira de utilização e continuar o avanço da indústria de processadores.

A Tabela 2 mostra o comportamento das propriedades de um transistor de acordo com a escala limitada pela corrente de fuga.

Parâmetro do dispositivo ou circuito	Parâmetro	Fator de Escala
Tensão limiar (V)	$V_{th}$	1
Tensão de alimentação (V)	$V_{DD} \approx V_{th} \times 3$	1
Quantidade de dispositivos	$Q$	$S^2$
Frequência (Hz)	$F$	S
Capacitância (F)	$C$	1/S
Potência (W)	$P = Q \times F \times C \times V_{DD}^2$	$S^2$
Dissipação de potência por circuito (W)	$V \times I$	1/S
Densidade de potência ( $\text{W}/\text{m}^2$ )	$(V \times I)/A$	S
Utilização	$1/P$	$1/S^2$

Tabela 2: Comportamento do transistor de acordo com a escala limitada por corrente de fuga[1]

Ao analisarmos as escalas de crescimento do número de transistores e da frequência, percebemos que a primeira segue uma escala  $S^2$ , enquanto a segunda segue uma escala S. Como resultado, o aumento de desempenho pode ser expresso pela escala  $S^3$ . Tomando  $S = 1,4$  como exemplo, o aumento de desempenho  $Q \times F$  seria de 2,8 vezes. No entanto, a Barreira de Uti-

lização impede a redução da tensão limiar em  $1/S$ , pois isso resultaria em índices inaceitáveis de corrente de fuga. Portanto, a única opção para aumentar o desempenho é reduzir a capacitância em escala  $1/S$ , o que significa reduzir a carga elétrica armazenada nos componentes do processador. No entanto, essa abordagem leva a uma deficiência de  $S^2$  por geração. Isso quer dizer que a cada nova geração de processadores, a redução da capacitância causa uma diminuição proporcional do desempenho, o que acaba limitando o ganho geral de desempenho ao longo das gerações. Utilizaremos o exemplo  $S = 1,4$  novamente para explicar melhor a deficiência. Suponha que, em uma nova geração de processadores ( $S = 1,4$ ), a redução da capacitância cause uma perda de desempenho de  $S^2 = 1,4^2 = 1,96$  vezes. Isso significa que, mesmo com a tecnologia mais avançada, o desempenho pode ser aproximadamente 2 vezes menor do que o ideal caso a capacitância pudesse ser reduzida sem limitações.

A Figura 2 ilustra que a Barreira de Utilização causa uma limitação na exploração da área do chip. Isso resulta em áreas do circuito integrado que são incapazes de operar na mesma frequência máxima, caso contrário, as restrições de dissipação de calor seriam excedidas. Essas áreas afetadas são conhecidas como “*dark-silicon*”. Estima-se que o *dark-silicon* possa ocupar de 75%-85% a mais de espaço em chips com tecnologia de  $8nm$ , em comparação com chips de  $45nm$  [36, 16, 41].

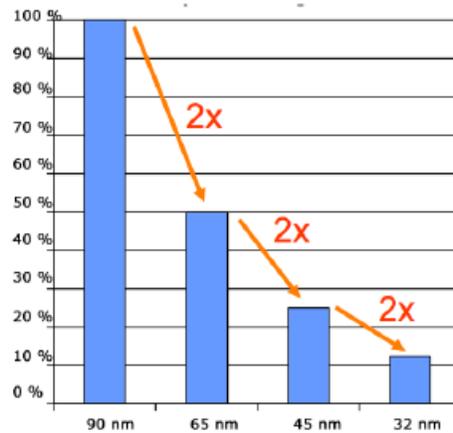


Figura 2: Deficit por geração [17].

## 2.2 Como mitigar o efeito *dark-silicon*

A necessidade de mitigar o problema do *dark-silicon* é inegável e, com isso, várias abordagens foram propostas para manter a escala de integração [41]. A primeira abordagem consiste em reduzir o tamanho dos chips, mas esta opção é considerada fraca, pois resultaria em chips de baixa lucratividade. Uma abordagem mais agressiva é a criação de um novo componente que possa substituir os transistores ou a recriação do transistor com materiais diferentes do *MOSFET* (*Metal Oxide Semiconductor Field Effect Transistor*)[26]. A terceira abordagem consiste em especializar o processamento, a fim de ocupar a área de *dark-silicon* com unidades funcionais de propósito específico, capazes de executar tarefas a frequências reduzidas, evidenciando a dependência entre o hardware heterogêneo e o software que escalona as tarefas.

A última abordagem, descrita por Taylor [41], é a utilização adequada da área afetada pelo *dark-silicon*, havendo diversas técnicas baseadas nessa abordagem disponíveis em processadores de última geração. Propõe-se utilizar a área de *dark-silicon* em uma frequência de operação mais baixa, a fim de obedecer as limitações de uso da potência. Alguns exemplos de técnicas fundamentadas nesta abordagem incluem:

- Tensão limiar próxima (NTV - *Near-Threshold Voltage*): Nesta abordagem, os processadores operam em tensões muito baixas, próximas ou abaixo do limite de tensão limiar dos

transistores. Isso reduz significativamente o consumo de energia, mas pode levar a desafios de desempenho e confiabilidade. [15];

- Aumento da área de cache: Aumentar o tamanho da memória cache no processador pode melhorar o desempenho e reduzir o consumo de energia, permitindo que mais dados sejam armazenados próximos ao processador para acesso mais rápido. [18];
- Empregar arquiteturas baseadas em *arrays* reconfiguráveis de granularidade grossa (CGRA - *Coarse-Grained Reconfigurable Arrays*): Essas arquiteturas permitem que os circuitos do processador sejam reconfigurados dinamicamente para atender a diferentes tarefas de computação, permitindo otimização de energia e desempenho para cargas de trabalho específicas.) [28];
- Utilizar técnicas de *sprinting*: Essa abordagem envolve períodos de operação de alta velocidade e intensidade seguidos por períodos de descanso em baixa energia. É semelhante a um processo de "sprint" em que o processador opera em alta velocidade por um curto período e depois descansa para economizar energia. [30];
- *Turbo boost* [31]: É uma técnica que permite que os processadores aumentem temporariamente a frequência de operação de um ou mais núcleos para obter desempenho adicional quando necessário. Essa técnica já é empregada em processadores do mercado atual. [9].
- Heterogeneidade multifacetada: Utilizar diferentes componentes, como núcleos de processadores de diferentes tamanhos, velocidades ou tecnologias, para otimizar o desempenho e a eficiência energética para diferentes tarefas e cargas de trabalho. [37]
- Computação aproximada: Essa abordagem sacrifica a precisão exata dos resultados em troca de maior eficiência energética. É útil em cenários onde tolerância a erros é aceitável, como processamento de sinais ou algumas tarefas de aprendizado de máquina. [37]
- Cooperação CPU/GPU: Combinação de processadores centrais (CPUs) com processadores gráficos (GPUs) para aproveitar a eficiência e o desempenho de ambos os componentes, dependendo das necessidades computacionais. [29]
- Aceleração com uso de FPGAs (*Field-Programmable Gate Arrays*): O uso de FPGAs permite a configuração personalizada de circuitos digitais, tornando-os adequados para acelerar tarefas específicas e economizar energia em comparação com processadores gerais. [42]

### 2.3 Metodologia para estimativa de *dark-silicon*

Ao iniciar um novo projeto, é necessário estimar a quantidade de *dark-silicon* presente em um chip e, posteriormente, procurar técnicas para reduzir ou mitigar o *dark-silicon* encontrado. A presença de *dark-silicon* ocorre devido ao aumento da potência do chip em um processo atual, em comparação com um processo de referência, desde que ambos os processos atendam ao requisito de área, que é a área disponível no chip medida em  $mm^2$ .

A metodologia proposta por Silva et al. para estimar a área de *dark-silicon*, validada na ferramenta de DSE MultiExplorer [36], baseia-se na densidade de potência do chip antes e depois da evolução tecnológica, denominados circuito base e circuito atual, respectivamente. Nessa abordagem, a densidade de potência é usada como parâmetro para identificar e estimar a área de *dark-silicon* em um chip. Como descrito anteriormente, a presença de *dark-silicon* é identificada comparando a densidade de potência de um chip com uma densidade de potência de referência. De acordo com a escala Pós-Dennard, o aumento da corrente de fuga e da potência total sobre o chip causa o aumento da densidade de potência de forma progressiva. Portanto, o aumento da potência em ambos os projetos com área igual é indicativo da presença de *dark-silicon* no projeto, por meio do aumento da densidade de potência.

Com as equações apresentadas a seguir é possível obter a densidade de potência de pico e a área de um projeto. Na Equação 1,  $\Delta_{DP}$  representa a diferença entre a densidade de potência atual e a densidade de potência base, que nada mais é do que a densidade de potência de excedente por  $mm^2$ .

Nós temos duas situações principais, quando  $\Delta_{DP} > 0$  a potência total excedente ( $T_{PE}$ ) na área do chip é dada pela multiplicação entre  $\Delta_{DP}$  e a área do chip ( $A$ ), conforme a Equação 2. A potência total excedente ( $T_{PE}$ ) é um parâmetro que representa a potência total excedente no chip atual que deve ser eliminada no intuito de mitigar os efeitos do *dark-silicon*.

$$\Delta_{DP} = (DP_{atual} - DP_{base}) \quad (1)$$

$$T_{PE} = \begin{cases} \Delta_{DP} \times A & \text{se } \Delta_{DP} > 0 \\ 0 & \text{caso contrário.} \end{cases} \quad (2)$$

A identificação da área do chip correspondente ao *dark-silicon* requer a conversão da potência total excedente ( $T_{PE}$ ) em uma área representativa, com base na área de um circuito de referência. A Equação 3 apresenta um método para estimar a área de *dark-silicon* ( $A_{DS}$ ) a partir do pico de potência do circuito de referência ( $P_c$ ) e sua área ( $A_c$ ). Para a estimativa de *dark-silicon* em CPUs, foi utilizado como circuito de referência uma unidade lógico-aritmética, enquanto para GPUs foi utilizada uma Unidade de Computação (UC), cujas densidades de potência são consideráveis em relação à densidade de potência base. A Equação 3 expressa essa relação de forma clara e precisa. Portanto, a identificação da área do chip correspondente ao *dark-silicon* requer uma abordagem cuidadosa e bem definida, baseada em conceitos técnicos precisos.

$$A_{DS} = \frac{T_{PE}}{P_C} \times A_C \quad (3)$$

Ao utilizar a densidade de potência para a estimativa de *dark-silicon* em um chip, podemos comparar essa técnica com abordagens mais clássicas.

As fórmulas discutidas nessa seção podem ser encontradas na ferramenta McPAT, cujo código alterado e já compilado encontra-se como parte do MultiExplorer. No arquivo `processor.cc`, localizado no diretório `MultiExplorer/support/mcpat/processor.cc`, encontra-se o código responsável pelos cálculos relacionados a  $\Delta_{DP}$ . E no arquivo `logic.cc`, localizado no diretório `MultiExplorer/support/mcpat/logic.cc`, encontra-se o código responsável pelo cálculo da área e percentual de *dark-silicon*, potência dinâmica de pico, potência dinâmica em tempo de execução, além de outras métricas.

## 2.4 Exploração do espaço de projetos (DSE)

Com o aumento da complexidade dos chips multiprocessadores, torna-se necessário explorar vários parâmetros arquiteturais durante o projeto para alcançar um equilíbrio ideal entre diferentes indicadores de desempenho e eficiência energética, como largura de banda, atrasos, potência e área [43]. Essa atividade é comumente conhecida como **Exploração do Espaço de Projeto**, ou *Design Space Exploration* (DSE).

O tamanho do espaço de projeto a ser explorado é proporcional ao produto das cardinalidades dos conjuntos de valores possíveis de cada variável envolvida [5]. Devido a essa magnitude, uma abordagem manual se torna tediosa, propensa a falhas e inadequada para aplicações em larga escala [25]. Como resultado, são necessárias ferramentas de automação para DSE. Portanto, o problema de explorar o espaço de projeto é frequentemente modelado como um problema de otimização multiobjetivo, utilizando uma análise de Pareto [43].

Muitas abordagens de solução amparam-se sobre duas componentes: uma responsável pela exploração de espaço de projeto, frequentemente através da geração de novas instâncias de configuração dos parâmetros arquiteturais, e uma responsável pela avaliação das soluções propostas.

Essas duas componentes interagem de forma cíclica até a convergência em uma solução na Fronteira Pareto [5]. A Fronteira de Pareto, também conhecida como "Fronteira Pareto-ótima" ou "Pareto-front" descreve o conjunto de todas as soluções não dominadas em um problema multi-objetivo, ou seja, são as soluções que não podem ser melhoradas em um objetivo sem piorar em pelo menos um outro objetivo.

Nesse tipo de problema multiobjetivo, há mais de uma função objetivo a ser otimizada. Por exemplo, em um projeto de processador, os objetivos podem ser maximizar o desempenho (velocidade de processamento) e minimizar o consumo de energia. Normalmente esses objetivos são conflitantes, o que significa que melhorar um deles pode piorar o outro. A Fronteira de Pareto representa todas as soluções que não podem ser melhoradas em relação a todos os objetivos simultaneamente.

Para tal, a exploração do espaço de projeto realiza de forma frequente o uso de algoritmos de otimização multiobjetivo, destacando-se o uso de algoritmos evolutivos multiobjetivo, também conhecidos como *Multiobjective Evolutionary Algorithms* (MOEAs), que têm apresentado bons resultados experimentais [6]. Dentre esses algoritmos, destaca-se o NSGA-II (Non-dominated Sorting Genetic Algorithm II).

O NSGA-II é particularmente interessante para abordar os desafios relacionados ao *dark-silicon* em sistemas de processamento, visto que oferece diversas vantagens. Primeiramente, sua eficiência na busca pela Fronteira de Pareto permite encontrar um conjunto de soluções não dominadas, o que é essencial para lidar com os diferentes indicadores de desempenho e restrições energéticas dos sistemas de processamento. Além disso, o NSGA-II promove a diversidade de soluções e possibilita a reprodução de soluções para explorar diferentes regiões do espaço de busca. Outro ponto importante é que o algoritmo pode ser paralelizado, o que o torna adequado para implementações eficientes em ambientes com múltiplos núcleos de processamento.

No entanto, a avaliação das soluções propostas frequentemente envolve simulações, o que pode ser inviável em termos de tempo e custo quando se considera o número de simulações necessárias durante o processo de exploração. Uma solução comum para contornar esse problema é coletar dados de simulação para treinar um avaliador baseado em previsão, que fornece resultados aproximados com maior agilidade e menor custo [6].

## 2.5 Algoritmo genético com ordenação não dominada II(NSGA II)

O algoritmo genético com ordenação não dominada II(NSGA II)[11, 10] é um algoritmo variante do NSGA [40]. É baseado em uma ordenação elitista por dominância (*Pareto ranking*), no qual combina a população atual com a anterior e conserva os melhores indivíduos. O algoritmo é dividido basicamente em três partes:

- Seleção rápida não dominada (*fast nondominated sorting*)
- Distância de multidão (*crowding distance*)
- Laço principal

O algoritmo adota uma técnica de seleção rápida não dominada, na qual é calculada a contagem de domínio para cada solução  $i$  da população  $P$ , isto é, o número de soluções que a dominam ( $ni$ ) e as soluções que são dominadas ( $Si$ ). Todas as soluções da primeira fronteira não dominada possuem uma contagem de dominação igual a zero. Esse processo é repetido para todas as soluções, e a cada iteração, as soluções não dominadas são removidas, diminuindo o número de soluções dominadas no contador. Uma nova fronteira é criada a cada repetição com as soluções removidas do conjunto. Os indivíduos localizados nas primeiras fronteiras ( $Ft$ ) apresentam as melhores soluções para a geração. O algoritmo utiliza o critério de dominância para integrar o conceito de elitismo, classificando a população em diferentes níveis de qualidade e priorizando os indivíduos com melhor classificação.

Tanto o cálculo do número de soluções que dominam uma determinada solução  $i$  quanto o cálculo do conjunto de soluções que são dominadas requerem  $O(MN^2)$  comparações, onde  $M$  é o número de objetivos e  $N$  é o tamanho da população. O pseudocódigo dessa etapa é apresentado

no algoritmo 1. O laço responsável pela criação das fronteiras possui complexidade  $O(N^2)$  no pior caso, que é quando cada indivíduo ocupa uma fronteira, conforme representado no algoritmo 2. Portanto, a complexidade dessa técnica de seleção rápida não dominada é  $O(MN^2) + O(N^2)$ , ou simplesmente  $O(MN^2)$ .

---

**Algoritmo 1:** Cálculo do número de soluções

---

```

for  $i \in P$  do
  for  $j \in P$  do
    if  $i < j$  then
       $S_i = S_i \cup \{j\}$ ;
    end
    else if  $j < i$  then
       $n_i = n_i + 1$ ;
    end
  end
end
if  $n_i = 0$  then
   $F1 = F1 \cup \{i\}$ ;
end

```

---



---

**Algoritmo 2:** Criação da Fronteira de Pareto

---

```

 $t = 0$ ;
while  $F_t \neq 0$  do
   $H = 0$ ;
  for  $i \in F_t$  do
    for  $j \in S_i$  do
       $n_j = n_j - 1$ ;
      if  $D_j = 0$  then
         $H = H \cup \{j\}$ ;
         $i = i + 1$ ;
      end
    end
     $F_t = H$ 
  end
end
return  $F$ ;

```

---

Após a criação das fronteiras, é realizado um cálculo de distância entre as soluções e a distância das multidões dentro de cada fronteira, a fim de classificar a população de acordo com os valores das funções objetivo em ordem crescente de magnitude. Em seguida, as soluções com valores mais distantes recebem o valor infinito como distância para cada função objetivo à qual está vinculada. Para as demais soluções, são atribuídos valores de distância iguais à diferença absoluta normalizada entre os valores de função de duas soluções próximas, formando um cuboide em relação ao ponto central, cujos vértices são os seus vizinhos mais próximos. O cálculo do valor geral da distância é realizado através da soma dos valores de distância individuais correspondentes a cada objetivo.

O objetivo é distribuir os resultados ao longo da fronteira de Pareto, como pode ser visto na figura 3.

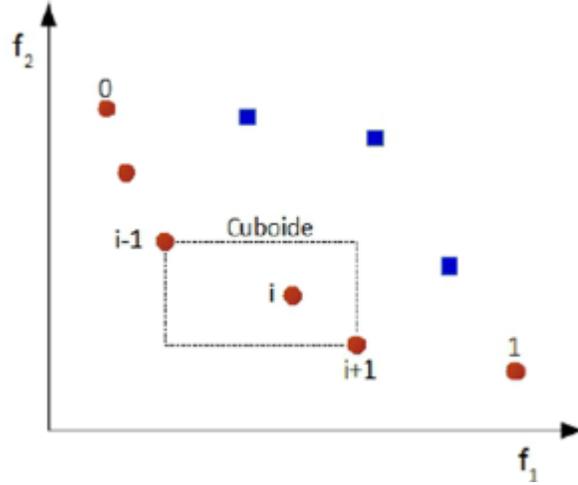


Figura 3: Cálculo de crowding distance [33].

Utilizando as equações 4 e equação 5 é possível calcular a distância de multidão de uma solução de forma algorítmica.

$$d(x_i) = d(x_i) + d_j(x_i) \quad (4)$$

$$d_j(x_i) = \frac{f_j(x_{i+1}) - f_j(x_{i-1})}{f_j^{max} - f_j^{min}}, i \in F \text{ e } 1 \leq j \leq M \quad (5)$$

em que:

- $d(x_i)$ : Distância da multidão da solução  $i$  ;
- $d_j(x_i)$ : Distância da solução  $i$  e suas soluções mais próximas na fronteira  $F$  ;
- $f_j(x_{i+1})$ : valor da função objetivo  $j$  para o vizinho  $i + 1$  ;
- $f_j(x_{i-1})$ : valor da função objetivo  $j$  para o vizinho  $i - 1$  ;
- $f_j^{max}$ : valor máximo da função objetivo  $j$  na fronteira  $F$  ;
- $f_j^{min}$ : valor mínimo da função objetivo  $j$  na fronteira  $F$  ;

A complexidade deste procedimento é determinada pelo algoritmo de ordenação, que no pior caso, quando todas as soluções estão em sua frente, possui complexidade  $O(MN \log N)$ .

Após a realização desse procedimento, um novo processo é considerado para as próximas gerações na criação da  $t$ -ésima geração,  $Rt$ . Neste processo, deve-se enfatizar as soluções pertencentes ao melhor conjunto não dominado,  $F1$ , em relação a todas as outras soluções combinadas da população. Se o tamanho de  $F1$  for menor que  $N$ , então soluções da próxima fronteira são escolhidas sucessivamente até que a população esteja completa (tamanho  $N$ ). A nova população  $Pt + 1$ , de tamanho  $N$ , é usada para seleção, cruzamento e mutação na criação da população  $Qt + 1$ , e assim sucessivamente.

Para escolher efetivamente uma solução em detrimento de outra, será comparada a contagem de dominação da solução atual, e quando ambas pertencerem a uma mesma fronteira, o critério de desempate será o maior número de distância de multidão. Nessa etapa, a seleção possui complexidade  $O(2N \log(2N))$ . O procedimento é representado na figura 4.

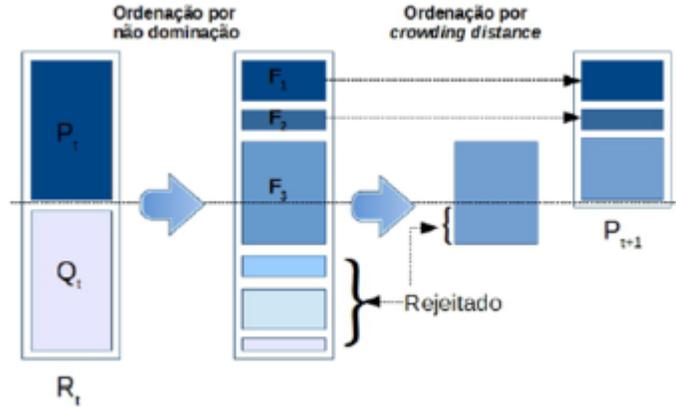


Figura 4: Procedimento de seleção utilizado no NSGA-II [11].

Após analisar todos os componentes do algoritmo NSGAI, a sua complexidade no pior caso continua sendo  $O(MN^2)$ . A principal vantagem desse algoritmo reside na manutenção da diversidade entre as soluções não dominadas, no método de comparação por multidão e na dispensabilidade da criação de nichos. Porém, há desvantagens quando a fronteira  $F_1$  é maior do que  $N$ , pois soluções são perdidas e o algoritmo entra em um ciclo de soluções Pareto-ótimas e não Pareto-ótimas até convergir para um conjunto de soluções.

O pseudocódigo do algoritmo NSGA-II é apresentado no algoritmo 3 e o seu fluxograma na figura 5.

---

**Algoritmo 3:** Algoritmo NSGA-II

---

```

gerar  $P_0$  de tamanho  $N$ ;
 $Q_0 = \emptyset$ ;
 $t = 0$ ;
 $R_t = P_t \cup Q_t$ ;
 $F =$  seleção rápida não dominada ( $R_t$ );
 $P_{t+1} = \emptyset$ ;
 $i = 0$ ;
while  $|P_{t+1}| + |F| \leq N$  do
    Cálculo de distância de multidão ( $F$ );
     $P_{t+1} = P_{t+1} \cup F$ ;
     $i = i + 1$ ;
    ordenar  $F$ ;
     $P_{t+1} = P_{t+1} \cup F[1 : (N - |P_{t+1}|)]$ ;
     $Q_{t+1} =$  Criar nova população ( $P_{t+1}$ )  $t = t + 1$ ;
end
retorna população ;

```

---

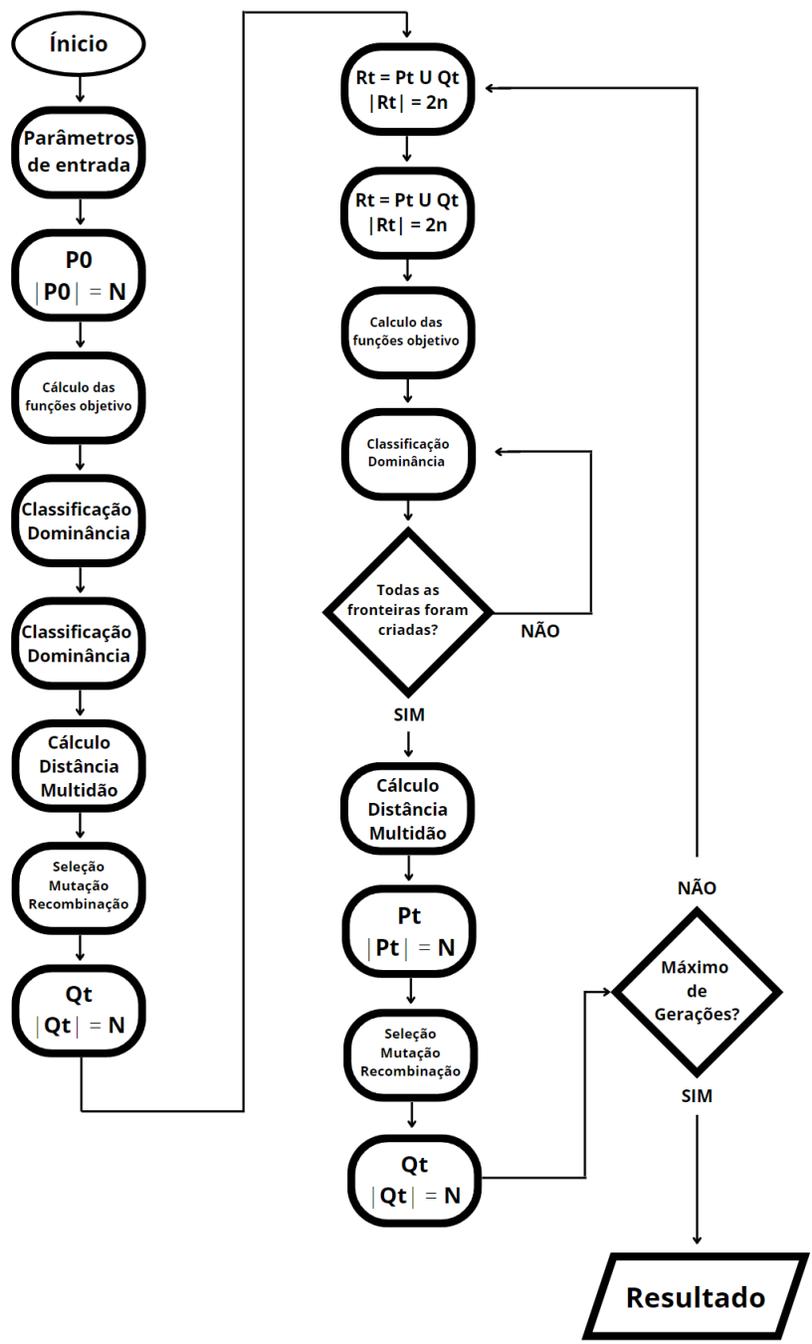


Figura 5: Fluxograma NSGAI

### 3 O MultiExplorer

O MultiExplorer é uma ferramenta de exploração do espaço de projetos desenvolvida pelo grupo de pesquisa do Laboratório de Sistemas Computacionais de Alto Desempenho (LSCAD) da Faculdade de Computação da UFMS (FACOM/UFMS), com sua primeira publicação completa em [33] e diversas outras extensões publicadas em trabalhos posteriores [34, 32, 35, 38].

A ferramenta recebe como entrada a descrição da arquitetura de uma plataforma multi-processada que possui parte de sua área em *dark-silicon*. O objetivo da ferramenta é aplicar algoritmos para explorar o espaço de projetos com base em um banco de dados de núcleos, fornecendo como saída alternativas arquiteturais que mitiguem o *dark-silicon* [39]. Em outras palavras, a ferramenta oferece as melhores alternativas arquiteturais, em termos de desempenho, que sejam livres de *dark-silicon*. A Figura 6 apresenta o fluxo de exploração do espaço de projetos ciente de dark-silicon (DS-DSE) da ferramenta MultiExplorer.

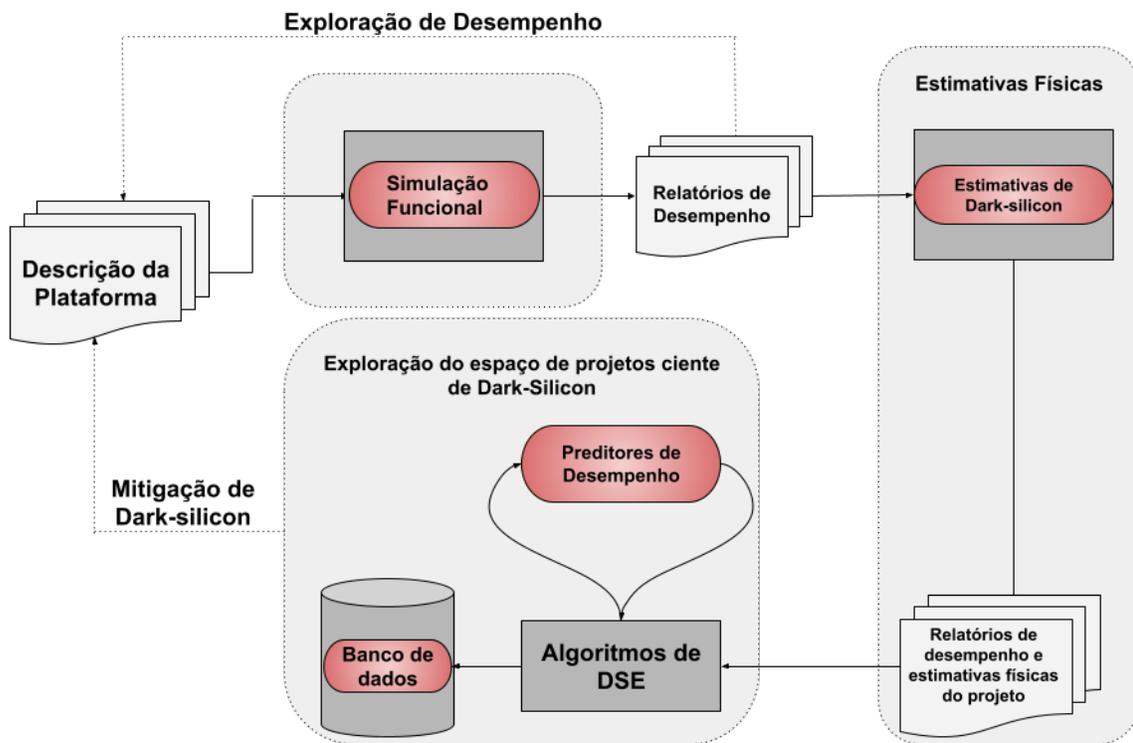


Figura 6: Fluxo de Exploração do Espaço de Projetos ciente de Dark-Silicon do MultiExplorer

Após o usuário fornecer todas as entradas (descrição inicial da plataforma, restrições, etc.), a ferramenta passa por três etapas:

- Na primeira etapa, denominada Exploração de Desempenho, o simulador Sniper [7] realiza uma simulação funcional com base na plataforma descrita e gera uma avaliação de desempenho com base no tempo de execução total de um benchmark entre outras estatísticas essenciais para análise de desempenho do sistema, como quantidade de instruções, quantidade de ciclos, desempenho com base no tempo de execução, entre outras métricas.
- Os dados da simulação funcional são usados, juntamente com a descrição da plataforma, para construir a entrada para a segunda etapa, Exploração Física, que usa a ferramenta McPAT [27] para fornecer um relatório sobre estatísticas físicas, com informações como

área e potência de cada componente da plataforma. A ferramenta McPAT foi estendida dentro do MultiExplorer para fornecer também a estimativa de dark-silicon da plataforma com base na metodologia apresentada na Seção 2.3.

- Na terceira etapa, a de DSE, as restrições do usuário, objetivos e os resultados das explorações de desempenho e física são repassadas para o módulo que implementa o algoritmo NSGA-II [10], que realiza uma exploração automática do espaço de projeto, contando com um preditor de desempenho de plataformas multicore heterogêneas, baseado em aprendizado de máquina, possibilitando rápida avaliação das arquiteturas heterogêneas alternativas.

O MultiExplorer é utilizado há anos como uma ferramenta de pesquisa e ensino de DSE, mas ficou claro que a maioria dos alunos de graduação enfrentaria dificuldades ao usar a ferramenta. Isso pode ser explicado tanto pela falta de formação teórica e prática dos alunos na área quanto pela falta de uma experiência de usuário refinada da ferramenta. Dito isto, o grupo de pesquisa projetou e desenvolveu uma Interface Gráfica de Usuário (GUI) para o MultiExplorer, para apoiar o ensino da exploração do espaço de design no ensino de graduação. No estado atual da GUI (desenvolvida junto com esta pesquisa), a descrição da plataforma é geralmente reduzida à seleção de um modelo de núcleo de um banco de dados e à especificação de um número total de núcleos. Para cada modelo principal no banco de dados, há uma descrição de plataforma padrão encontrada em um arquivo JSON. Um resumo dos resultados é apresentado pela GUI, na forma de tabelas e gráficos. Os relatórios completos ainda estão disponíveis na forma de arquivos JSON e de texto.

Considerando que há muito material já publicado sobre o MultiExplorer, em que foram validadas cada uma das etapas descritas anteriormente, fornecemos na Tabela 3 as referências de cada funcionalidade desenvolvida, bem como as funcionalidades que estão em desenvolvimento atualmente.

Ano	Contribuição principal	Referência
2015	Versão preliminar do MultiExplorer	[14]
2016	Implementação de estimativa de dark-silicon em MPSoCs com metodologia baseada na densidade de potência dos componentes do chip	[36]
2018	Inclusão de algoritmos exato (força bruta) e aproximado (NS-GAII) para Exploração do espaço de projetos	[34]
2019	Predição de desempenho de sistemas multicore, utilizando modelos de aprendizado de máquina e redes neurais	[35]
2022	Exploração do espaço de projetos aplicado ao problema de alocação de recursos em nuvem	[2]
2022	Predição de desempenho de sistemas manycore (GP-GPU), utilizando modelos de aprendizado de máquina e redes neurais	[38]
2023	Exploração do espaço de projetos de sistemas many-core heterogêneos GP-GPU	em desenvolvimento
2023	Exploração do espaço de projetos com Computação Aproximada	em desenvolvimento

Tabela 3: Principais contribuições do MultiExplorer ao longo dos anos.

## 4 Caracterização do banco de dados do MultiExplorer

Atualmente, o MultiExplorer possui cinco modelos de processadores no banco de dados: Smithfield, ArmA53, ArmA57, Quark e Atom Silvermont. Durante o processo de caracterização, identificamos algumas questões importantes relacionadas aos parâmetros de fábrica dos modelos

de processadores presentes no banco de dados. Foi observada a presença de inconsistências, como frequência, número de núcleos, temperatura de funcionamento, entre outros, dos quais não estavam de acordo com os valores fornecidos pelas fabricantes. Além disso, também identificamos a inclusão de uma cache L3 em todos os processadores, mesmo em casos em que nenhum deles possui essa característica na vida real. Essas informações imprecisas poderiam afetar a precisão dos resultados obtidos com a ferramenta e a análise subsequente.

Diante dessa descoberta, optamos por uma abordagem de correção da modelagem dos processadores de mercado incluídos no banco de dados do MultiExplorer. Utilizando um conjunto abrangente de parâmetros da arquitetura do processador e das caches, atualizamos as informações dos modelos de forma a refletir com maior fidelidade as características reais de fabricação. Dessa forma, garantimos que os dados utilizados nas simulações e análises sejam mais consistentes e confiáveis, permitindo resultados mais precisos.

A correção do banco de dados é uma etapa crucial para garantir a qualidade e a validade dos resultados obtidos por meio do MultiExplorer. Com essas atualizações, as simulações e avaliações serão mais precisas e próximas das condições reais dos processadores, possibilitando uma análise mais confiável dos impactos do *dark-silicon* e das estratégias de mitigação a serem empregadas.

Buscando manter a fidelidade dos projetos, foram utilizados os parâmetros de referência com base nos *datasheets* disponibilizados pelos fabricantes (Tabela 4) e mais diversos outros parâmetros de descrição dos processadores e seus sistemas de memórias caches e TLBs.

Parâmetros dos Projetos de Referência	Processadores				
	Smithfield	ArmA53	ArmA57	Quark	Atom
Fabricante	Intel®	Arm®	Arm®	Intel®	Intel®
Data de introdução	Q2'05	Q4'12	Q4'12	Q4'13	Q4'13
Referência	[19]	[3]	[4]	[22]	[20]
Quantidade de núcleos	2	1	1	1	1
Frequência (MHz)	2800	1600	1960	400	1467
VDD	1,2	1,2	1,2	1,2	1,2
Nó tecnológico (nm)	90	22	22	32	22
Temperatura (máxima) (°C)	64.1	330	330	70	110
Níveis de cache	2	2	2	1	2
L1-Instruções (Kb)	12	32	48	N/A	32
L1-Dados (Kb)	28	9 a 64	32 a 48	16	24
L2 (Kb)	2048	128 a 2048	512 a 2048	N/A	512
L3 (Kb)	N/A	N/A	N/A	N/A	N/A

Tabela 4: Principais parâmetros dos projetos dos processadores que fazem parte do banco de dados do MultiExplorer. A data de introdução segue o seguinte padrão: "Q" representa um trimestre do ano, o número seguinte indica o trimestre específico, os últimos dois números finais se referem ao ano de lançamento. Por exemplo, Q305 significa terceiro semestre de 2005. Os dados foram retirados de [19, 22, 20, 21, 3, 4].

Os valores que são utilizados nos modelos do MultiExplorer, os quais são utilizados para todos os experimentos que seguem, são mostrados na Tabela 5. Ressalta-se que há muitos outros parâmetros menos significativos nos arquivos de entrada do MultiExplorer, que não estão dispostos nesta tabela.

Um usuário interessado em utilizar o MultiExplorer para exploração arquitetural e mitigação de dark-silicon pode se beneficiar com os dados de referência disponíveis nas Tabelas 6 a 10. Estas tabelas contém dados resultantes da simulação funcional e estimativas físicas, no MultiExplorer, utilizando como entrada plataformas homogêneas de 1 a 32 núcleos, a partir dos cinco modelos de processadores disponíveis executando a aplicação Cholensky da Suite Benchmark Splash. Foram separados os principais parâmetros de saída da simulação funcional, como quantidade de instruções executadas, quantidade de ciclos, CPI, e estimativas físicas de cada projeto, como

potência média dos núcleos, potência do chip, área dos núcleos e dos chips, entre outros.

Ressalta-se que o parâmetro de saída Desempenho é calculado como o inverso do tempo de execução da aplicação utilizada como referência. Este tempo é calculado com base na frequência de operação, na quantidade de instruções executadas e na quantidade de ciclos.

Parâmetros dos Modelos no MultiExplorer		Processadores				
		Smithfield	ArmA53	ArmA57	Quark	Atom
Geral	Quantidade de núcleos	2	1	1	1	1
	Frequência Global (MHz)	2800	1600	1960	400	1467
	VDD	1,2	1,2	1,2	1,2	1
	Nó tecnológico (nm)	90	22	22	32	22
	Níveis de cache	2	3	3	3	3
TLB	Conjuntos	128	512	512	64	128
	Tamanho do bloco (bytes)	64	64	64	64	64
	Associatividade	4	16	16	16	4
	Latência (ciclos)	10	40	40	40	40
	Política de substituição	LRU	LRU	LRU	LRU	LRU
ITLB	Conjuntos	128	128	128	64	64
	Tamanho do bloco (bytes)	128	64	64	64	64
	Associatividade	8	16	16	32	32
	Latência (ciclos)	10	40	20	20	20
	Política de substituição	LRU	LRU	LRU	LRU	LRU
DTLB	Conjuntos	128	128	128	64	128
	Tamanho do bloco (bytes)	64	64	64	64	64
	Associatividade	8	16	16	32	4
	Latência (ciclos)	30	40	40	40	40
	Política de Substituição	LRU	LRU	LRU	LRU	LRU
STLB	Conjuntos	512	128	128	32	512
	Tamanho do bloco (bytes)	512	64	64	64	64
	Associatividade	16	16	16	16	4
	Latência (ciclos)	30	40	40	40	20
	Política de substituição	LRU	LRU	LRU	LRU	LRU
L1-Instr.	Tamanho do bloco (bytes)	64	64	64	32	64
	Tamanho da cache (Kb)	16	32	48	8	32
	Associatividade	4	2	3	2	8
	Política de substituição	LRU	LRU	LRU	LRU	LRU
L1-Dados	Tamanho do bloco (bytes)	64	64	64	32	64
	Tamanho da cache (Kb)	32	32	32	8	24
	Associatividade	8	4	2	2	6
	Política de Substituição	LRU	LRU	LRU	LRU	LRU
L2	Tamanho do bloco (bytes)	64	64	64	32	64
	Tamanho da cache (Kb)	1024	512	2048	1024	512
	Associatividade	8	16	16	2	8
	Política de Substituição	LRU	LRU	LRU	LRU	LRU

Tabela 5: Principais parâmetros dos processadores, sistemas de caches e TLBs dos modelos adotados no MultiExplorer

Tabela 6: Dados resultantes da simulação de desempenho e estimativas físicas do Processador Quark em plataformas de 1 a 32 núcleos.

Quantidade de núcleos	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16
Frequência	0,4	0,4	0,4	0,4	0,4	0,4	0,4	0,4	0,4	0,4	0,4	0,4	0,4	0,4	0,4	0,4
Instruções (milhões)	23,2	26,6	28,8	29,3	35,3	31,4	42,3	37,5	46,8	38,7	61,6	47,6	73,0	49,3	57,0	62,4
Ciclos (milhões)	8,8	5,44	3,92	3,12	3,19	2,41	2,62	2,12	2,32	1,86	2,48	1,83	2,48	1,67	1,74	1,81
Desempenho	45,6	73,5	101,9	128,0	125,6	165,7	152,5	188,7	172,5	215,3	161,0	218,5	161,1	239,8	229,8	221,6
Área chip (mm <sup>2</sup> )	14,5	28,9	43,3	57,7	72,1	86,5	100,9	115,3	129,7	144,0	158,4	172,8	187,2	201,6	215,9	230,3
Potência chip (W)	10,7	21,4	32,1	42,8	53,5	64,2	74,9	85,6	96,2	106,9	117,6	128,3	139,0	149,7	160,3	171,0
CPI	2,6440	0,2043	0,1364	0,1067	0,0902	0,0768	0,0620	0,0565	0,0495	0,0480	0,0403	0,0385	0,0340	0,0338	0,0306	0,0289
Potência dos núcleos (mm <sup>2</sup> )	10,728300	10,713000	10,706200	10,702150	10,699380	10,697350	10,695757	10,694488	10,693422	10,692500	10,691727	10,691083	10,690462	10,690000	10,689467	10,689063
Área dos núcleos (mm <sup>2</sup> )	14,498400	14,457750	14,439733	14,429000	14,421700	14,416283	14,412143	14,408750	14,405889	14,403500	14,401455	14,399667	14,398154	14,396714	14,395467	14,394313
Desempenho médio por núcleo	45,620000	36,755000	33,976667	32,005000	25,118000	27,610000	21,784286	23,591250	19,171111	21,529000	14,633636	18,205000	12,393846	17,125000	13,321333	13,849375
Quantidade de núcleos	17	18	19	20	21	22	23	24	25	26	27	28	29	30	31	32
Frequência	0,4	0,4	0,4	0,4	0,4	0,4	0,4	0,4	0,4	0,4	0,4	0,4	0,4	0,4	0,4	0,4
Instruções (milhões)	94,8	76,3	106,7	73,8	64,9	84,5	162,2	85,7	104,3	130,6	104,2	86,2	201,4	86,4	195,2	117,3
Ciclos (milhões)	2,4	2,0	2,7	1,9	1,6	1,9	3,1	1,7	1,9	2,3	1,8	1,6	3,1	1,5	2,8	1,7
Desempenho	163,4	195,9	150,7	212,6	244,2	209,8	127,4	228,8	206,6	175,7	217,6	255,5	130,3	270,2	141,5	230,5
Área chip (mm <sup>2</sup> )	244,7	259,1	273,4	287,8	302,2	316,6	330,9	345,3	359,7	374,1	388,4	402,8	417,2	431,6	445,9	460,3
Potência chip (W)	181,7	192,4	203,4	213,8	224,4	235,1	245,8	256,5	267,2	277,8	288,5	299,2	309,9	320,6	331,2	341,9
CPI	0,0258	0,0268	0,0249	0,0255	0,0252	0,0226	0,0194	0,0204	0,0186	0,0174	0,0177	0,0182	0,0152	0,0171	0,0145	0,0148
Potência dos núcleos (mm <sup>2</sup> )	10,688647	10,688333	10,688000	10,687700	10,687381	10,687136	10,686913	10,686667	10,686440	10,686231	10,686037	10,685857	10,685690	10,685533	10,685387	10,685219
Área dos núcleos (mm <sup>2</sup> )	14,393294	14,392333	14,391474	14,390700	14,389905	14,389227	14,388565	14,387958	14,387400	14,386846	14,386370	14,385857	14,385414	14,385000	14,384581	14,384188
Desempenho médio por núcleo	9,612941	10,883889	7,933158	10,628000	11,628095	9,534091	5,536957	9,532500	8,265200	6,756154	8,058148	9,125714	4,493448	9,007333	4,565161	7,202500

Tabela 7: Dados resultantes da simulação de desempenho e estimativas físicas do Processador Arm Cortex A53 em plataformas de 1 a 32 núcleos.

Quantidade de núcleos	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16
Frequência	1600	1600	1600	1600	1600	1600	1600	1600	1600	1600	1600	1600	1600	1600	1600	1600
Instruções (milhões)	23,3	27,3	30,0	31,4	36,1	34,8	46,7	42,0	51,4	45,5	67,5	50,6	88,5	51,2	57,2	98,9
Ciclos (milhões)	9,4	6,2	4,4	3,7	4,0	3,4	3,4	2,9	3,5	2,8	3,3	2,4	3,1	2,4	2,5	2,9
Desempenho	171,08	258,84	365,0	429,21	402,55	472,53	473,91	557,2	462,19	578,26	488,7	669,78	513,03	658,46	650,09	554,48
Área chip (mm <sup>2</sup> )	7,34712	14,6537	21,9535	29,2499	36,5441	43,8367	51,1282	58,4187	65,7084	72,9975	80,2860	87,5741	94,8617	102,149	109,436	116,723
Potência chip (W)	12,3238	24,6223	36,9165	49,2086	61,4993	73,789	86,0779	98,3663	110,654	122,942	135,229	147,516	159,802	172,089	184,375	196,661
CPI	0,4017	0,2265	0,1459	0,1189	0,1100	0,0973	0,0722	0,0683	0,0673	0,0608	0,0485	0,0472	0,0373	0,0474	0,0430	0,0292
Potência dos núcleos (mm <sup>2</sup> )	5,7112	11,42244	17,13366	22,84488	28,55610	34,26732	39,97854	45,68976	51,40098	57,11220	62,82342	68,53464	74,24586	79,95708	85,66830	91,37952
Área dos núcleos (mm <sup>2</sup> )	8,30723	16,61446	24,92169	33,22892	41,53615	49,84338	58,15061	66,45784	74,76507	83,07230	91,37953	99,68676	107,99399	116,30122	124,60845	132,91568
Desempenho médio por núcleo	171,08	129,42	121,67	107,30	80,51	78,76	67,70	69,65	51,35	57,83	44,43	55,82	39,46	47,03	43,34	34,66

Quantidade de núcleos	17	18	19	20	21	22	23	24	25	26	27	28	29	30	31	32
Frequência	1600	1600	1600	1600	1600	1600	1600	1600	1600	1600	1600	1600	1600	1600	1600	1600
Instruções (milhões)	100,0	78,2	109,1	73,9	70,8	85,6	164,8	89,3	102,8	133,6	104,0	89,4	227,4	93,3	223,9	120,6
Ciclos (milhões)	2,9	2,4	3,3	2,2	2,3	2,3	3,7	2,1	2,6	2,7	2,4	2,0	3,9	1,9	3,8	2,2
Desempenho	552,22	667,21	477,62	742,13	703,63	691,81	436,48	754,21	625,55	588,19	654,47	806,53	411,91	852,09	425,79	741,2
Área chip (mm <sup>2</sup> )	124,009	131,295	138,581	145,867	153,152	160,437	167,723	175,008	182,292	189,557	196,862	204,146	211,430	218,715	226,334	233,624
Potência chip (W)	208,947	221,232	157,837	245,803	258,088	270,373	282,658	294,943	307,228	319,513	331,798	344,082	356,37	368,651	380,919	393,203
CPI	0,0290	0,0307	0,0307	0,0292	0,0321	0,0270	0,0222	0,0237	0,0249	0,0204	0,0235	0,0222	0,0171	0,0201	0,0168	0,0179
Potência dos núcleos (mm <sup>2</sup> )	97,09074	102,80196	108,51318	114,22440	119,93562	125,64684	131,35806	137,06928	142,78050	148,49172	154,20294	159,91416	165,6	171,3	177,0	182,8
Área dos núcleos (mm <sup>2</sup> )	141,22291	149,53014	157,83737	166,14460	174,45183	182,75906	191,06629	199,37352	207,68075	215,98798	224,29521	232,60244	240,90967	249,21690	257,52413	265,83136
Desempenho médio por núcleo	32,48	37,07	25,14	37,11	33,51	31,45	18,98	31,43	25,02	22,62	21,24	28,80	14,20	28,40	13,74	23,16

Tabela 8: Dados resultantes da simulação de desempenho e estimativas físicas do Processador Arm Cortex A57 em plataformas de 1 a 32 núcleos.

	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16
Quantidade de núcleos	1960	1960	1960	1960	1960	1960	1960	1960	1960	1960	1960	1960	1960	1960	1960	1960
Frequência	23,3	27,6	28,8	31,4	36,0	34,7	45,9	42,4	49,7	45,8	67,5	51,8	82,4	51,8	57,5	64,4
Instruções (milhões)	8,01	5,32	3,97	3,63	3,67	3,58	3,26	2,80	3,12	2,55	3,08	2,51	3,40	2,32	2,17	2,13
Ciclos (milhões)	244,66	368,12	493,47	539,66	534,03	547,42	601,03	700,49	627,8	767,83	636,79	780,35	576,22	846,12	901,63	921,2
Desempenho	10,6903	21,3315	31,9647	42,5937	53,2201	63,8445	74,4676	85,0895	95,7104	106,331	116,950	127,5690	138,188	148,805	159,705	170,3
Área chip (mm2)	15,4645	30,8983	46,327	61,7532	77,1776	92,6009	108,023	123,445	138,866	154,287	169,707	185,127	200,546	215,965	231,37	246,8
Potência chip (W)	0,344	0,193	0,138	0,116	0,102	0,103	0,071	0,066	0,063	0,056	0,046	0,048	0,041	0,045	0,038	0,033
CPI	10,0406	20,0812	30,1218	40,1624	50,2030	60,2436	70,2842	80,3248	90,3654	100,4060	110,4466	120,4872	130,5278	140,5684	150,6090	160,6496
Potência dos núcleos (mm2)	5,71122	11,4224	17,1337	22,8449	28,5561	34,2673	39,9785	45,6898	51,4010	57,1122	62,8234	68,5346	74,2459	79,9571	85,6683	91,3795
Área dos núcleos (mm2)	244,7	184,1	164,5	134,9	106,8	91,2	85,9	87,6	69,8	76,8	57,9	65,0	44,3	60,4	60,1	57,6
Desempenho médio por núcleo	1,44659177															
Quantidade de núcleos	1960	1960	1960	1960	1960	1960	1960	1960	1960	1960	1960	1960	1960	1960	1960	1960
Frequência	98,4	77,7	106,0	79,1	76,3	92,3	163,0	86,8	104,2	134,3	94,7	229,4	229,4	94,0	221,2	126,1
Instruções (milhões)	3,2	2,7	3,6	2,5	2,6	2,9	3,9	2,4	2,9	3,1	2,1	4,4	4,4	2,3	3,9	2,7
Ciclos (milhões)	609,4	728,4	551,9	793,9	757,0	682,2	496,3	809,2	687,5	624,0	929,3	448,9	448,88	836,3	500,8	714,1
Desempenho	181,0	191,6	202,2	212,8	223,5	234,1	682,2	255,3	265,9	276,6	297,8	308,4	308,434	319,1	330,5	341,1
Área chip (mm2)	262,2	277,6	293,0	308,5	323,9	339,3	354,7	370,1	385,5	401,0	431,8	447,2	447	462,6	478,1	493,5
Potência chip (W)	0,033	0,035	0,033	0,031	0,034	0,031	0,024	0,028	0,027	0,023	0,022	0,019	0,019	0,025	0,018	0,022
Potência dos núcleos (mm2)	170,6902	180,7308	190,7714	200,8120	210,8526	220,8932	230,9338	240,9744	251,0150	261,0556	271,0962	281,1368	291,1774	301,2180	311,2586	321,2992
Área dos núcleos (mm2)	97,0907	102,8020	108,5132	114,2244	119,9356	125,6468	131,3581	137,0693	142,7805	148,4917	154,2029	159,9142	165,6254	171,3366	177,0478	182,7590
Desempenho médio por núcleo	35,8	40,5	29,0	39,7	36,0	31,0	21,6	33,7	27,5	24,0	34,4	16,0	15,5	27,9	16,2	22,3

Tabela 9: Dados resultantes da simulação de desempenho e estimativas físicas do Processador Smithfield em plataformas de 1 a 32 núcleos.

Quantidade de núcleos	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16
Frequência	2800	2800	2800	2800	2800	2800	2800	2800	2800	2800	2800	2800	2800	2800	2800	2800
Instruções (milhões)	23,3	26,5	31,6	33,1	36,9	36,6	48,0	43,4	54,6	45,2	67,3	51,8	85,9	54,4	61,1	67,4
Ciclos (milhões)	10,2	6,4	5,0	4,8	4,7	3,6	4,4	3,2	3,9	3,1	3,3	3,5	3,4	2,4	2,5	2,9
Desempenho	275,2	434,3	564,6	579,3	597,7	773,0	642,2	888,4	717,3	903,8	849,5	802,6	824,4	1146,9	1130,1	959,5
Área chip (mm <sup>2</sup> )	103,1	207,0	312,9	416,1	519,1	622,0	724,8	827,7	930,4	1033,1	1135,8	1238,5	1341,2	1443,8	1546,4	1649,0
Potência chip (W)	91,0	181,9	272,9	363,9	454,8	545,8	636,8	727,7	818,7	909,7	1000,6	1091,6	1182,5	1273,5	1364,5	1455,4
CPI	0,44	0,24	0,16	0,15	0,13	0,10	0,09	0,07	0,07	0,07	0,05	0,07	0,04	0,04	0,04	0,04
Potência dos núcleos (W)	87,6	175,3	262,9	350,5	438,1	525,8	613,4	701,0	788,6	876,3	963,9	1051,5	1139,1	1226,8	1314,4	1402,0
Área dos núcleos (mm <sup>2</sup> )	66,8	133,6	200,5	267,3	334,1	400,9	467,7	534,6	601,4	668,2	735,0	801,8	868,7	935,5	1002,3	1069,1
Desempenho médio por núcleo	275,2	217,2	188,2	144,8	119,5	128,8	91,7	111,1	79,7	90,4	77,2	66,9	63,4	81,9	75,3	60,0
Quantidade de núcleos	17	18	19	20	21	22	23	24	25	26	27	28	29	30	31	32
Frequência	2800	2800	2800	2800	2800	2800	2800	2800	2800	2800	2800	2800	2800	2800	2800	2800
Instruções (milhões)	102,1	81,9	111,7	84,4	79,4	94,0	175,4	98,4	117,0	145,0	108,8	108,1	234,2	101,6	229,7	137,8
Ciclos (milhões)	3,4	2,8	3,5	2,6	2,9	2,9	4,0	2,7	3,0	3,3	2,7	2,9	4,6	2,5	4,5	2,8
Desempenho	822,5	1008,2	799,3	1090,0	974,3	954,0	693,4	1047,9	918,3	854,5	1049,5	963,3	614,8	1111,7	625,1	983,2
Área chip (mm <sup>2</sup> )	1751,6	1854,1	1956,7	2059,2	2161,7	2264,3	2366,8	2469,3	2571,8	2674,2	2776,7	2879,2	2981,7	3084,1	3186,6	3289,0
Potência chip (W)	1546,4	1637,4	1728,3	1819,3	1910,2	2001,2	2092,2	2183,1	2274,1	2365,0	2456,0	2547,0	2637,9	2728,9	2819,8	2910,8
CPI	0,03	0,03	0,03	0,03	0,04	0,03	0,02	0,03	0,03	0,02	0,02	0,03	0,02	0,02	0,02	0,02
Potência dos núcleos (W)	1489,7	1577,3	1664,9	1752,5	1840,2	1927,8	2015,4	2103,0	2190,7	2278,3	2365,9	2453,6	2541,2	2628,8	2716,4	2804,1
Área dos núcleos (mm <sup>2</sup> )	1135,9	1202,8	1269,6	1336,4	1403,2	1470,0	1536,9	1603,7	1670,5	1737,3	1804,2	1871,0	1937,8	2004,6	2071,4	2138,3
Desempenho médio por núcleo	48,4	56,0	42,1	54,5	46,4	43,4	30,1	43,7	36,7	32,9	38,9	34,4	21,2	37,1	20,2	30,72

Tabela 10: Dados resultantes da simulação de desempenho e estimativas físicas do Processador Atom Silvermont em plataformas de 1 a 32 núcleos.

Quantidade de núcleos	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16
Frequência	0,4	0,4	0,4	0,4	0,4	0,4	0,4	0,4	0,4	0,4	0,4	0,4	0,4	0,4	0,4	0,4
Instruções (milhões)	23,3	27,2	29,9	31,3	36,3	34,4	46,1	41,3	50,8	45,4	67,5	49,6	81,7	50,3	56,4	63,0
Ciclos (milhões)	9,2	6,0	4,3	4,1	3,9	3,3	3,3	2,6	3,1	2,9	3,0	2,1	3,1	2,1	2,1	2,0
Desempenho	45,6	73,5	101,9	128,0	125,6	165,7	152,5	188,7	172,5	215,3	161,0	218,5	161,1	239,8	229,8	221,6
Área chip (mm <sup>2</sup> )	14,5	28,9	43,3	57,7	72,1	86,5	100,9	115,3	129,7	144,0	158,4	172,8	187,2	201,6	215,9	230,3
Potência chip (W)	10,7	21,4	32,1	42,8	53,5	64,2	74,9	85,6	96,2	106,9	117,6	128,3	139,0	149,7	160,3	171,0
CPI	0,3953	0,2198	0,1438	0,1297	0,1085	0,0973	0,0708	0,0641	0,0604	0,0635	0,0447	0,0430	0,0375	0,0417	0,0378	0,0320
Potência dos núcleos (mm <sup>2</sup> )	10,728300	10,713000	10,706200	10,702150	10,699380	10,697350	10,695757	10,694488	10,693422	10,692500	10,691727	10,691083	10,690462	10,690000	10,689467	10,689063
Área dos núcleos (mm <sup>2</sup> )	14,498400	14,457750	14,439733	14,429000	14,421700	14,416283	14,412143	14,408750	14,405889	14,403500	14,401455	14,399667	14,398154	14,396714	14,395467	14,394313
Desempenho médio por núcleo	45,620000	36,755000	33,976667	32,005000	25,118000	27,610000	21,784286	23,591250	19,171111	21,529000	14,633636	18,205000	12,393846	17,125000	13,321333	13,849375

Quantidade de núcleos	17	18	19	20	21	22	23	24	25	26	27	28	29	30	31	32
Frequência	0,4	0,4	0,4	0,4	0,4	0,4	0,4	0,4	0,4	0,4	0,4	0,4	0,4	0,4	0,4	0,4
Instruções (milhões)	99,4	74,4	108,0	74,4	69,3	84,6	157,5	88,1	102,8	128,3	107,5	87,9	221,5	89,6	219,5	122,8
Ciclos (milhões)	3,0	2,3	3,4	2,1	2,2	2,2	3,5	2,0	2,6	2,6	2,5	1,8	3,8	1,8	3,7	2,2
Desempenho	163,4	195,9	150,7	212,6	244,2	209,8	127,4	228,8	206,6	175,7	217,6	255,5	130,3	270,2	141,5	230,5
Área chip (mm <sup>2</sup> )	244,7	259,1	273,4	287,8	302,2	316,6	330,9	345,3	359,7	374,1	388,4	402,8	417,2	431,6	445,9	460,3
Potência chip (W)	181,7	192,4	203,1	213,8	224,4	235,1	245,8	256,5	267,2	277,8	288,5	299,2	309,9	320,6	331,2	341,9
CPI	0,0305	0,0302	0,0312	0,0277	0,0311	0,0266	0,0224	0,0232	0,0250	0,0204	0,0236	0,0208	0,0173	0,0203	0,0170	0,0179
Potência dos núcleos (mm <sup>2</sup> )	10,688647	10,688333	10,688000	10,687700	10,687381	10,687136	10,686913	10,686667	10,686440	10,686231	10,686037	10,685857	10,685690	10,685533	10,685387	10,685219
Área dos núcleos (mm <sup>2</sup> )	14,393294	14,392333	14,391474	14,390700	14,389905	14,389227	14,388565	14,387958	14,387400	14,386846	14,386370	14,385857	14,385414	14,385000	14,384581	14,384188
Desempenho médio por núcleo	9,612941	10,883889	7,933158	10,628000	11,628095	9,534091	5,536957	9,532500	8,265200	6,756154	8,058148	9,125714	4,493448	9,007333	4,565161	7,202500

Por fim, demonstramos os resultados de um processo de evolução tecnológica, com o objetivo de investigar os efeitos da atualização da tecnologia de fabricação em termos de desempenho, eficiência energética, densidade de potência e surgimento de dark-silicon.

A evolução tecnológica foi realizada a partir de um processador Smithfield fabricado a 90nm, e foi realizada a transição do projeto para tecnologias mais avançadas (65nm, 45nm, 32nm, 22nm). Atualmente, não é possível realizar estimativas físicas de projetos abaixo de 22nm, dada a limitação da ferramenta McPAT.

Tabela 11: Evolução Tecnológica Smithfield.

Evolução Tecnológica Smithfield					
Litografia (nm)	90	65	45	32	22
Frequência(Ghz)	2.8	2.8	2.8	2.8	2.8
Quantidade de núcleos	2	4	8	14	26
Área Chip (mm <sup>2</sup> )	206,97	222,86	224,24	212,84	203,66
Potência do chip(W)	181,94	245,41	369,174	424,89	480,42
Densidade de potência(W/mm <sup>2</sup> )	0,879	1,101	1,646	1,996	2,359
Área dos núcleos(mm <sup>2</sup> )	133,64	147,21	153,12	149,10	148,49
Potência dos núcleos(W)	175,25	218,56	300,10	324,78	366,22
Densidade de potência dos núcleos(W/mm <sup>2</sup> )	1,311	1,485	1,960	2,178	2,466
Area DS (mm <sup>2</sup> )	-	9,44	32,47	44,18	54,02
%DS	-	4,23	14,48	20,75	26,53
Desempenho	436,18	578,11	892,94	1153,62	864,77

Inicialmente, relata-se diversos parâmetros físicos do projeto original a 90nm. Ao evoluir o projeto de 65nm a 22nm, busca-se aumentar a quantidade de cores até atingir área próxima à área de referência do projeto original (206,97mm<sup>2</sup>). A Tabela 11 mostra vários parâmetros físicos das plataformas obtidas durante o processo. Um dos parâmetros de saída é a área de dark-silicon e a porcentagem que essa área representa no chip original. A estimativa de dark-silicon foi implementada a partir da metodologia descrita na Seção 2.3.

Um aspecto importante a ser considerado é a melhoria na densidade de potência. Com a diminuição da escala dos componentes, foi possível alocar um maior número de transistores em uma mesma área física, resultando em um aumento na densidade de integração. Porém, a melhora na densidade de potência não resultou em um melhor desempenho, pois foi constatado a presença de *dark-silicon*, o que na verdade resultou em uma queda de desempenho em relação a litografias de maior escala.

A plataforma original a 90nm é livre de dark-silicon e a área de dark-silicon aumentou de 4,23% a 65nm para 26,53% a 22nm. Infelizmente, por limitações de tempo, não foi possível realizar, no âmbito deste trabalho de TCC, o processo DS-DSE para mitigar dark-silicon a partir dos resultados preliminares apresentados. O processo de mitigação de dark-silicon seguiria os seguintes passos: o algoritmo de exploração do espaço de projetos NSGA-II realizaria uma busca pelas alternativas com melhor desempenho dentre centenas de possibilidades de plataformas livres de dark-silicon sobre os núcleos de processamento que são disponíveis na ferramenta.

O algoritmo de exploração do espaço de projetos utilizaria como restrição a área de 206,97mm<sup>2</sup> área da plataforma original 90nm, que pela forma como conduziu-se o experimento, é muito próxima à área do chip a 22nm e a densidade de potência da plataforma original livre de dark-silicon (0,879W/mm<sup>2</sup>) e repassaria como saída as soluções com melhores desempenhos.

## 5 Considerações Finais

Neste trabalho, exploramos a ferramenta MultiExplorer e como suas funcionalidades contribuem de modo positivo no que tange aos desafios relacionados ao *dark-silicon* em sistemas de processamento. Nosso objetivo foi explorar e validar a ferramenta MultiExplorer e sua base de dados,

a fim de garantir a confiabilidade de seus resultados e facilitar a experiência de futuros usuários.

No decorrer do nosso estudo, nos deparamos com algumas questões relacionadas ao banco de dados de processadores da ferramenta utilizada, que apresentava inconsistências em relação aos parâmetros de fábrica dos mesmos. A identificação dessas inconsistências no banco de dados de processadores foi uma descoberta importante, pois essas informações são essenciais para a análise e simulação de modo assertivo dos sistemas de processamento. A falta de congruência entre os parâmetros de fábrica reais e os dados armazenados na ferramenta pode afetar a precisão e a confiabilidade dos resultados obtidos.

Assim, optou-se por corrigir a modelagem de cinco processadores de mercado, utilizando um grande conjunto de parâmetros da arquitetura do processador e das caches. Além disso, foram simuladas plataformas homogêneas de 1 a 31 cores, cujos valores foram apresentados em tabelas que servirão como referência para potenciais estudos do impacto da evolução tecnológica destes processadores e mitigação de *dark-silicon* em tecnologias de fabricação modernas.

Ademais, observou-se que a documentação disponível não fornecia informações detalhadas sobre como os cálculos relacionados a *dark-silicon* ocorrem em baixo nível e carência de um manual de instalação e uso da ferramenta adequado ao usuário iniciante. A ausência de informações detalhadas sobre como e onde os cálculos em baixo nível eram realizados nos deixou com lacunas em nossa compreensão do funcionamento interno da ferramenta. Essa falta de transparência dificultou a validação dos resultados e a compreensão dos processos relacionados aos cálculos realizados.

Inicialmente, enfrentamos um desafio relacionado à necessidade de incluir a presença de cache L3 em todos os processadores simulados, devido a uma limitação da própria ferramenta. No entanto, superamos essa limitação e foi possível realizar novas simulações do Smithfield sem a cache L3, ajustando-o às configurações de mercado. Por falta de tempo, não foi possível realizar todas as simulações para os demais modelos de processadores sem L3.

Como parte de trabalhos futuros, é planejado atualizar também os outros processadores. Uma evolução tecnológica importante ocorreu no Smithfield, na qual conseguimos reduzir a litografia do chip original e adicionar mais núcleos para analisar o desempenho do processador. Essa evolução nos permitiu observar o impacto do aumento da densidade de potência na geração de *dark-silicon*.

Por fim, foi realizada a estimativa de *dark-silicon* em uma plataforma baseada no processador Smithfield da Intel que, originalmente, foi projetado em 90nm e que foi base para a fabricação de diversos outros processadores do mesmo fabricante em litografias menores. Os resultados revelaram que, mesmo com a melhoria na litografia e o aumento do número de núcleos, ocorre uma perda de desempenho devido à presença de *dark-silicon*. Nesse contexto, a ferramenta MultiExplorer desempenha um papel fundamental, visando mitigar o *dark-silicon* ao substituir essa área por outro processador. Dessa forma, é possível obter um desempenho igual ou melhor, porém com maior eficiência energética. Novamente, por limitações de tempo, não foi possível realizar a exploração deste projeto para mitigar *dark-silicon*.

Este estudo reforça a importância do estudo do *dark-silicon* e da busca por soluções eficazes para minimizar seus efeitos negativos. A ferramenta MultiExplorer se mostra uma abordagem promissora para enfrentar esse desafio, proporcionando melhorias no desempenho dos processadores ao substituir as regiões afetadas pelo *dark-silicon*.

No entanto, é importante ressaltar que nosso estudo também apresentou algumas limitações. Devido a restrições de tempo e recursos, não pudemos explorar todas as possíveis soluções e considerar todos os cenários de aplicação. Recomendamos que estudos futuros considerem uma abordagem mais abrangente. Além disso, foi identificada a necessidade de exaustivos testes sobre o módulo de exploração arquitetural (DSE) com a base de dados atualizada.

Com o objetivo de facilitar a utilização da ferramenta, desenvolvemos um manual de instalação, o qual está incluso neste trabalho. Esse manual fornece instruções e o passo a passo para a instalação adequada da ferramenta, permitindo que outros usuários possam utilizá-la com maior facilidade.

Como trabalhos em andamento do mesmo grupo de pesquisa que colabora com o MultiExplorer, citamos as principais demandas:

- Validação da interface gráfica e melhorias realizadas do módulo de DSE do MultiExplorer (em andamento).
- Integração do simulador (GPUSim) e fluxo de DSE considerando GPUs na infraestrutura atual do MultiExplorer (em andamento).
- Integração do fluxo de DSE para otimizar alocação de recursos em nuvem (em andamento).
- Atualização do McPAT para tecnologias mais modernas (abaixo de 22nm).
- Desenvolvimento do fluxo de DSE com computação aproximada.

Agradecemos a todos os envolvidos neste trabalho, em especial à nossa orientadora, colegas de laboratório e instituição acadêmica, pelo valioso apoio e contribuições realizadas ao longo dessa jornada. Reconhecemos o papel fundamental desempenhado por cada um de vocês no sucesso deste estudo. Esperamos que este estudo contribua de forma sólida para as próximas pesquisas e implementações de módulos na ferramenta, assim inspirando avanços ainda mais significativos nesse campo de estudo.

## A Manual de instalação

Para realizar a execução da aplicação será necessário o download de três ferramentas.

1. Repositório Git.  
<https://github.com/lscad-facom-ufms/multiexplorer>
2. XLauch.  
<https://sourceforge.net/projects/vcxsrv/>
3. Docker.  
<https://docs.docker.com/desktop/install/windows-install/>

### A.1 Repositório Git

Para obter acesso ao repositório basta acessar o link: <https://github.com/lscad-facom-ufms/multiexplorer>  
Também é possível solicitar acesso para se tornar um colaborador do projeto.

### A.2 XLauch

Esta ferramenta tem por finalidade abrir uma janela gráfica do Linux no Windows. Após download e instalação do programa, execute-o, ele abrirá uma tela de escolha de qual forma a ferramenta deverá abrir a interface de Linux, entre: múltiplas janelas, tela cheia, uma janela grande e uma janela sem barra de título. Esse primeiro passo é de livre escolha, para fins de processo será escolhido o de múltiplas janelas conforme a figura 7 e clicar em avançar.

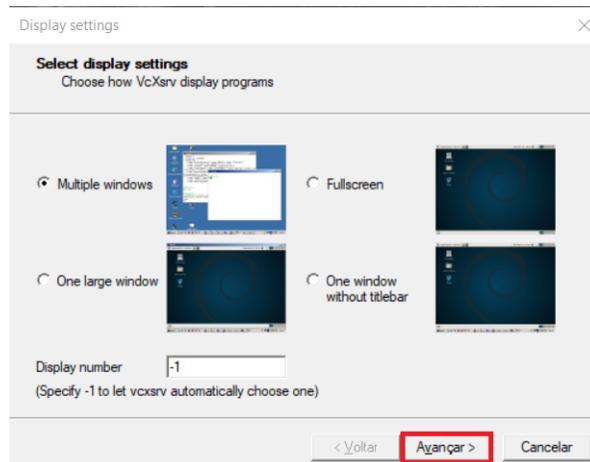


Figura 7:

Na janela seguinte selecionar “Start no client” e clicar em “avançar” conforme 8.

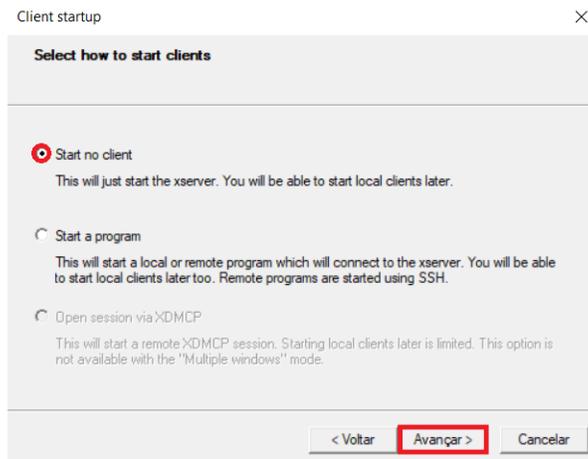


Figura 8:

No próximo passo, deve ser selecionado a opção “Disable Access control” e clicar em “avançar” conforme 9.

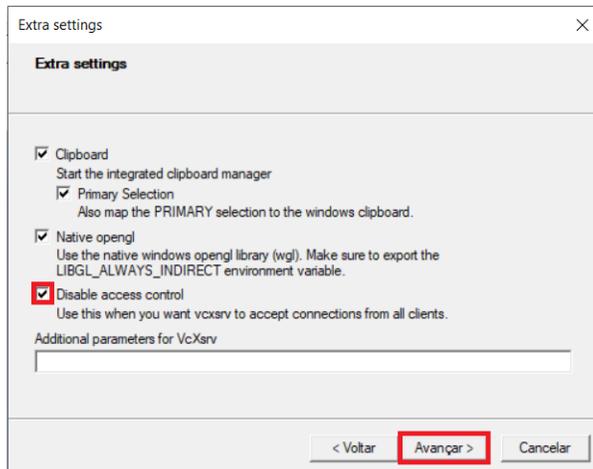


Figura 9:

e por fim, existe a possibilidade de salvar as configurações realizadas anteriormente para uso em uma próxima vez ou apenas clicar em “concluir” conforme 10.

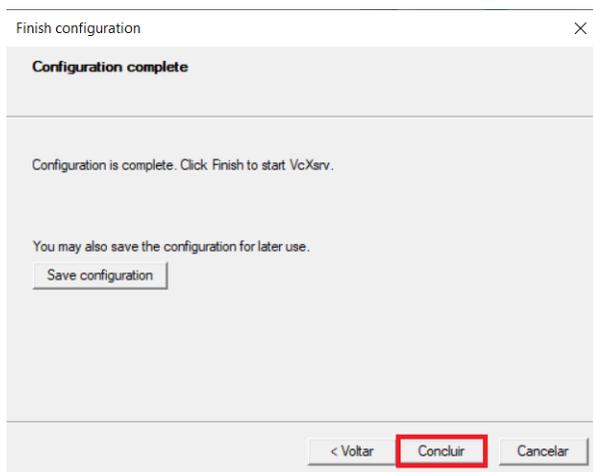


Figura 10:

Ao final destas configurações a ferramenta estará pronta para ser utilizada no próximo passo.

### A.3 Docker

Esta ferramenta tem por finalidade virtualizar a execução de uma instância do Linux em formato de contêiner. Com Download, instalação e a ferramenta em execução, precisa-se obter o IP da máquina do usuário, para isso será utilizado o prompt de comando da máquina em modo administrador e executar o comando

*ipconfig* (6)

e anotar o IPV4 obtido na resposta. Logo após vá no endereço onde fez o clone do projeto e verifique a existência do arquivo “.env”, caso não exista crie um arquivo com as seguintes informações

*DISPLAY = IPV4 : 0.0* (7)

substituindo o IPV4 pelo obtido no passo anterior. Em seguida salve-o dentro da pasta raiz do projeto com o nome “.env”.

Logo após deve-se, usando prompt de comando, entrar no diretório do projeto com comando

*cd + caminho do projeto* (8)

Em seguida, execute o comando

*docker – compose up – d* (9)

Será iniciado a criação da imagem do sistema no Docker. Após finalizado a criação ele terá inicializado o contêiner a qual o projeto usará e dentro da ferramenta Docker aparecerá o contêiner criado. O próximo passo será executar o comando

*docker exec – it multiexplorer – dev – 1 bash* (10)

Este comando fará com que o usuário entre dentro do contêiner criado anteriormente, em seguida execute o comando

*make install* (11)

Este comando fará a configuração da imagem do sistema que foi criada no contêiner, este passo, durante sua execução ele necessitar de interação para configuração da localização do usuário e respectivo fuso horário. Após execute o comando

*make config* (12)

Após este último passo, a plataforma estará pronta para uso. Para executar a interface da ferramenta multiexplorer, certifique-se que o Xlauch se encontra em execução. Caso positivo, basta executar o comando

*python me.py* (13)

Deste modo, a ferramenta abrirá sua interface gráfica e estará pronta para utilização.

## B Exemplos de execuções do MultiExplorer

Nessa sessão abordaremos a utilização de maneira prática da interface gráfica MultiExplorer.

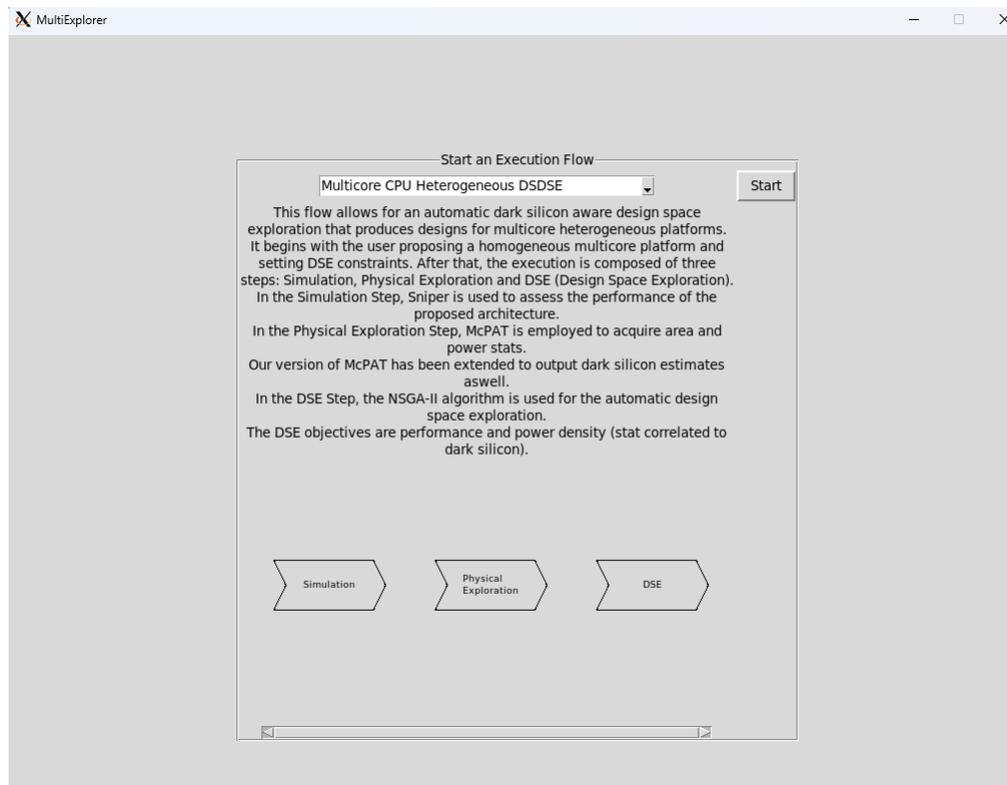


Figura 11: Pagina inicial da interface gráfica do MultiExplorer

Como é possível observar na figura 11, a primeira opção disponível na interface do MultiExplorer é o fluxo de execução. Nesse relatório técnico abordaremos o fluxo de CPUs heterogêneos. Após selecionar o fluxo desejado é possível dar "start".

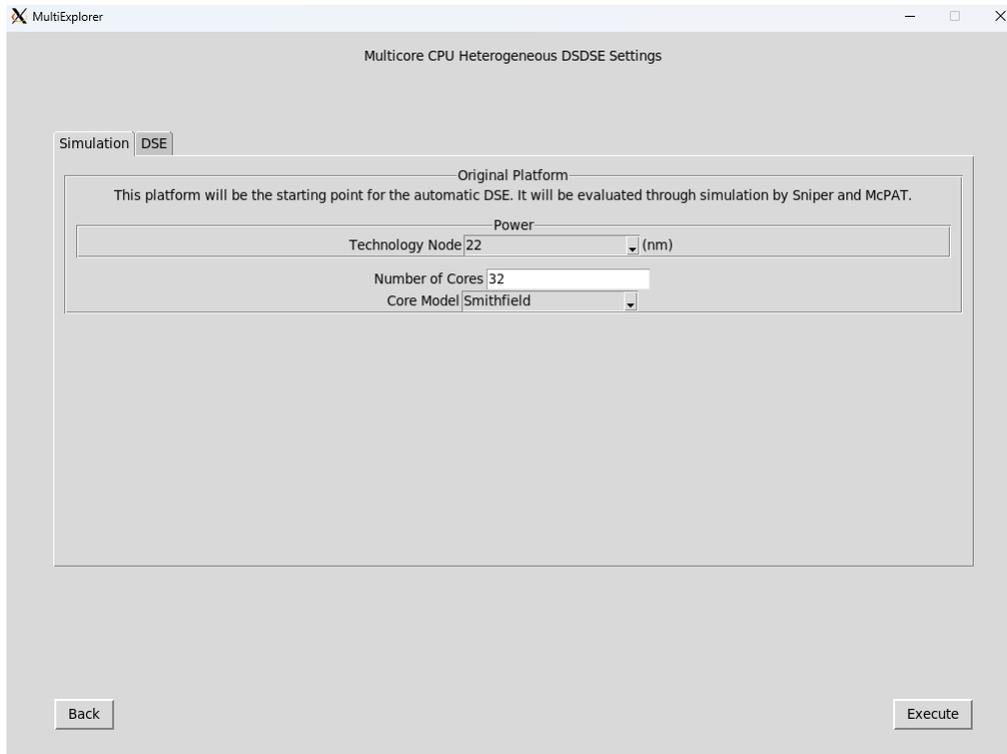


Figura 12: Janela de configuração da plataforma de simulação.

Nessa janela é possível selecionar a aplicação que se deseja executar, da qual é um benchmark para o simulador escolhido. Além disso, é nessa janela que selecionamos a plataforma desejada, sendo essa plataforma o modelo do núcleo, que até o momento temos: quark x1000, arm a57, arm a53, atom silvermont e smithfield. Assim podemos selecionar a frequência e o número de núcleos do modelo descrito.

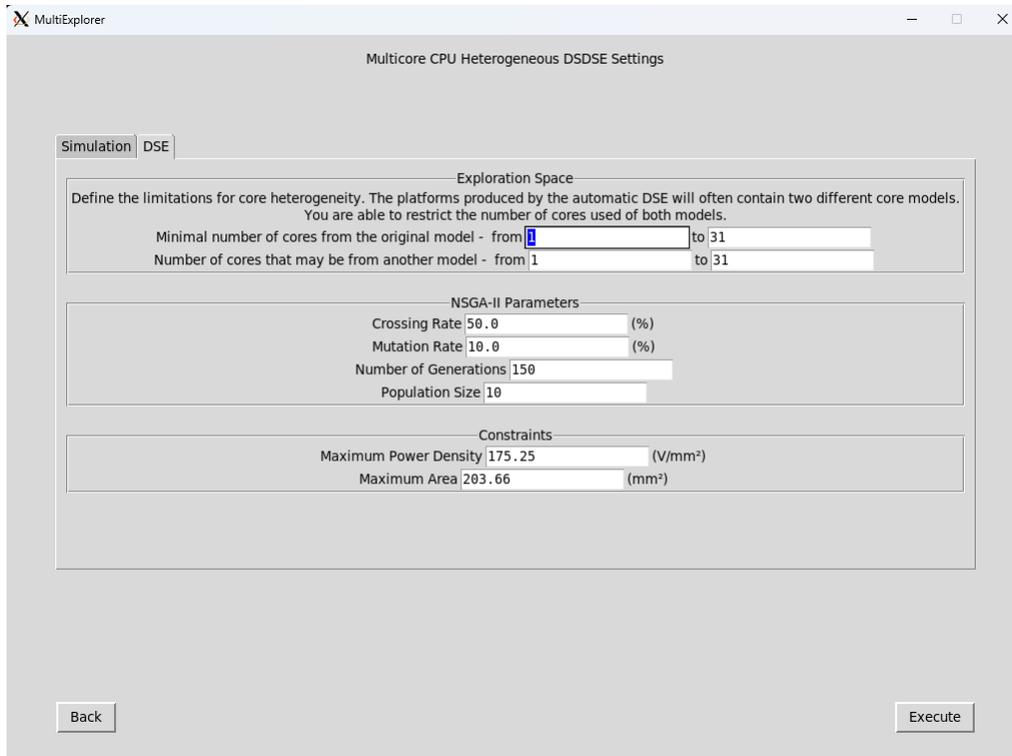


Figura 13: Janela de configuração do DSE.

Na outra aba dessa janela podemos selecionar as opções de DSE, sendo elas: o número de *cores* originais desejados no projeto proposto, o número de núcleos ip para o projeto e definir as restrições de projeto (máxima densidade de potência e área máxima do projeto). Ao clicar em "execute" o fluxo do MultiExplorer é iniciado.

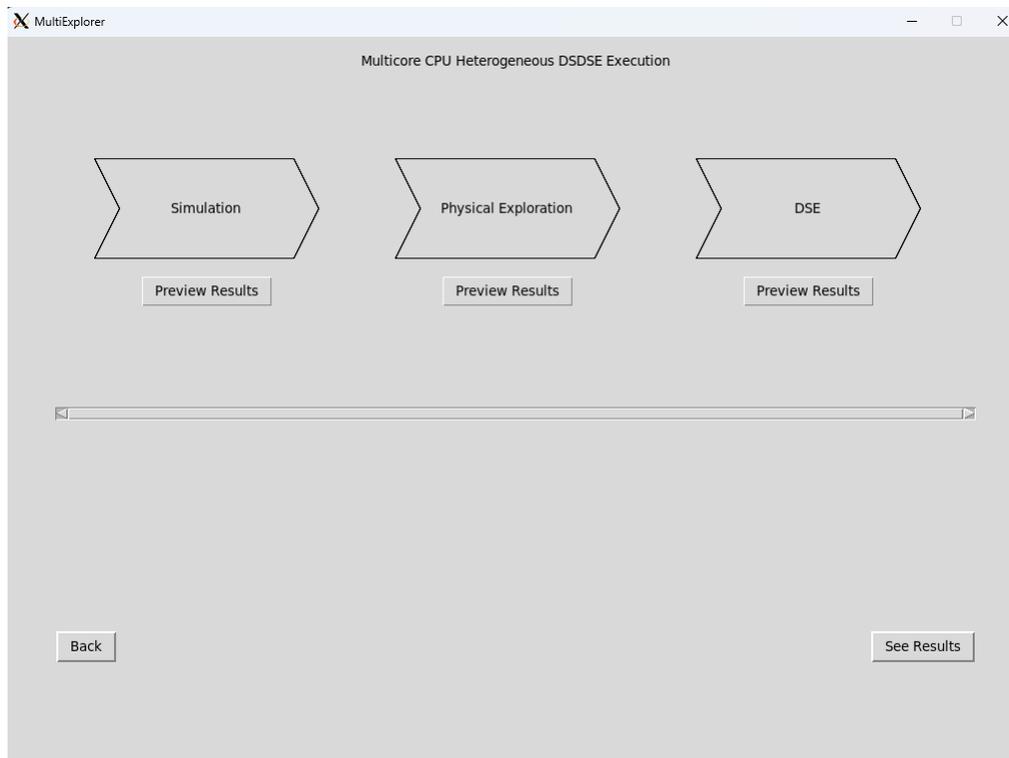


Figura 14: Tela de processamento do fluxo MultiExplorer.

Nessa janela podemos ver todo o fluxo do MultiExplorer como a parte de simulação, exploração de espaço de projeto e o DSE. O modulo em execução pisca como recurso visual para indicar qual programa está sendo executado no momento. Após o fluxo de execução se encerrar é liberado o botão "See Results".

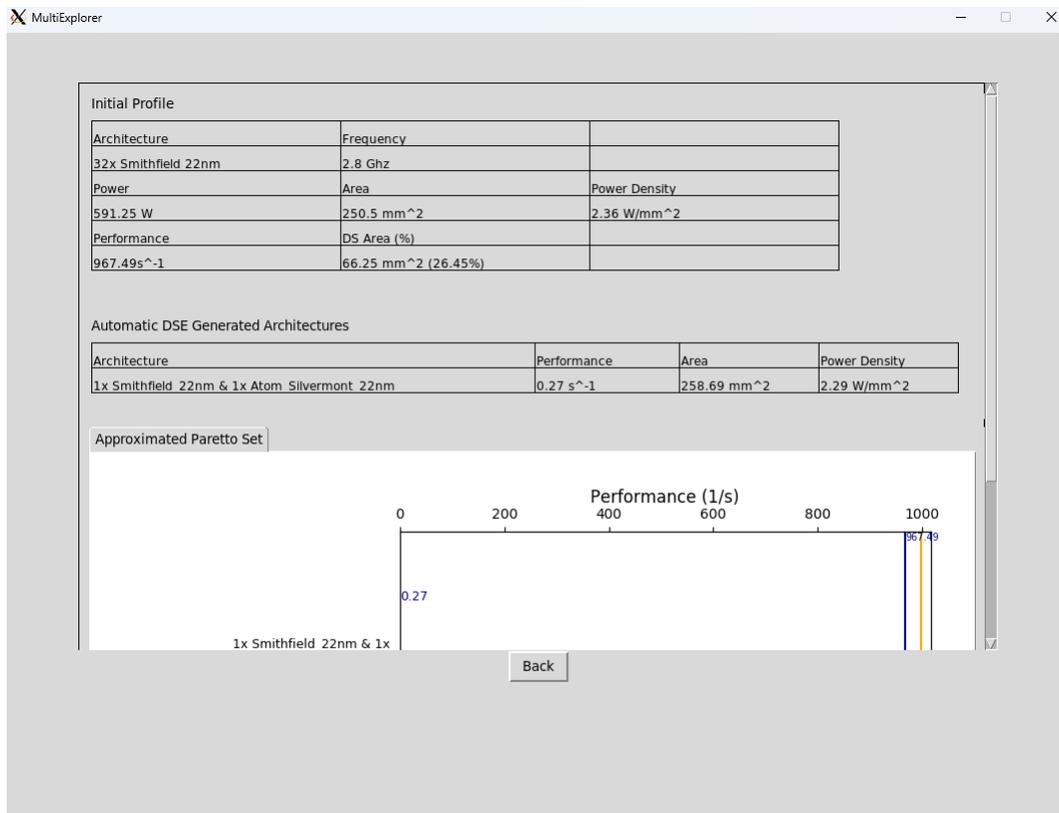


Figura 15: Janela com o resultado do fluxo do MultiExplorer.

A última etapa do fluxo de execução apresenta um gráfico, do qual nos mostra a performance e densidade de potência mais eficientes dentro do projeto escolhido.

Ate o momento deste trabalho a implementação da interface gráfica nos dá essas opções e esses resultados de forma visual, mas ao mesmo tempo é possível acessar os arquivos intermediários e finais dentro da pasta `/rundir/Multicore_CPU_Heterogeneous_DSDSE`.

A partir da execução de um projeto pela interface gráfica fica visível que ela propõe a utilização da ferramenta de uma maneira mais fácil e acessível onde não possui todas as opções de configurações como pode ser feito pela edição do `.json` mas mesmo assim ela é capaz de gerar todos os arquivos necessários para análise do projeto final e por fim sua interface gera um gráfico com resultado de desempenho e densidade de potência.

## Referências

- [1] Jason Allred. *Designing, optimizing, and sustaining heterogeneous chip multiprocessors to systematically exploit dark silicon*. PhD thesis, UTAH STATE UNIVERSITY, 2013.
- [2] Danilo CA Arigoni, Ricardo Ribeiro dos Santos, and Liana D Duenha Garanhani. Design space exploration of heterogeneous systems applied to the cloud resource allocation problem. In *Anais do XXIII Simposio em Sistemas Computacionais de Alto Desempenho*, pages 169–180. SBC, 2022.
- [3] Arm. Processor cortex a53, june 2023. <https://developer.arm.com/documentation/102826/latest/>, Acessado em 04/06/2023.
- [4] Arm. Processor cortex a57, june 2023. <https://developer.arm.com/documentation/102826/latest/>, Acessado em 04/06/2023.

- [5] Giuseppe Ascia, Vincenzo Catania, Alessandro Di Nuovo, Maurizio Palesi, and Davide Patti. Efficient design space exploration for application specific systems-on-a-chip. *Journal of Systems Architecture*, 53(10):733–750, 2007.
- [6] Giuseppe Ascia, Vincenzo Catania, Alessandro G Di Nuovo, Maurizio Palesi, and Davide Patti. Performance evaluation of efficient multi-objective evolutionary algorithms for design space exploration of embedded computer systems. *Applied Soft Computing*, 11(1):382–398, 2011.
- [7] Trevor E Carlson, Wim Heirman, and Lieven Eeckhout. Sniper: exploring the level of abstraction for scalable and accurate parallel multi-core simulation. In *Proceedings of 2011 International Conference for High Performance Computing, Networking, Storage and Analysis*, page 52. ACM, 2011.
- [8] Daniela Catelan, Ricardo Santos, and Liana Duenha. Accuracy and physical characterization of approximate arithmetic circuits. In *Anais do XXI Simpósio em Sistemas Computacionais de Alto Desempenho*, pages 143–154. SBC, 2020.
- [9] James Charles, Preet Jassi, Narayan S Ananth, Abbas Sadat, and Alexandra Fedorova. Evaluation of the intel® core™ i7 turbo boost feature. In *Workload Characterization, 2009. IISWC 2009. IEEE International Symposium on*, pages 188–197. IEEE, 2009.
- [10] Kalyanmoy Deb, Samir Agrawal, Amrit Pratap, and Tanaka Meyarivan. A fast elitist non-dominated sorting genetic algorithm for multi-objective optimization: NSGA-II. In *International Conference on Parallel Problem Solving From Nature*, pages 849–858. Springer, 2000.
- [11] Kalyanmoy Deb, Amrit Pratap, Sameer Agarwal, and TAMT Meyarivan. A fast and elitist multiobjective genetic algorithm: NSGA-II. *IEEE Transactions on Evolutionary Computation*, 6(2):182–197, 2002.
- [12] Robert H Dennard, Fritz H Gaensslen, Hwa-Nien Yu, V Leo Rideout, Ernest Bassous, and Andre R LeBlanc. Design of ion-implanted mosfet’s with very small physical dimensions. *IEEE Journal of Solid-State Circuits*, 9(5):256–268, 1974.
- [13] Rodrigo Devigo, Liana Duenha, Rodolfo Azevedo, and Ricardo Santos. Multiexplorer: A tool set for multicore system-on-chip design exploration. In *Proceedings of the 26th ASAP*, pages 160–161. IEEE, 2015.
- [14] Rodrigo Devigo, Liana Duenha, Rodolfo Azevedo, and Ricardo Santos. Multiexplorer: A tool set for multicore system-on-chip design exploration. In *Proceedings of the 26th ASAP*, pages 160–161. IEEE, 2015.
- [15] Ronald G Dreslinski, Michael Wieckowski, David Blaauw, Dennis Sylvester, and Trevor Mudge. Near-threshold computing: Reclaiming moore’s law through energy efficient integrated circuits. *Proceedings of the IEEE*, 98(2):253–266, 2010.
- [16] Hadi Esmaeilzadeh, Emily Blem, Renee St Amant, Karthikeyan Sankaralingam, and Doug Burger. Dark silicon and the end of multicore scaling. In *Computer Architecture (ISCA), 2011 38th Annual International Symposium on*, pages 365–376. IEEE, 2011.
- [17] Nathan Goulding, Jack Sampson, Ganesh Venkatesh, Saturnino Garcia, Joe Auricchio, Jonathan Babb, Michael B Taylor, and Steven Swanson. Greendroid: A mobile application processor for a future of dark silicon. In *Hot Chips 22 Symposium (HCS), 2010 IEEE*, pages 1–39. IEEE, 2010.
- [18] Nikos Hardavellas, Michael Ferdman, Babak Falsafi, and Anastasia Ailamaki. Toward dark silicon in servers. *IEEE Micro*, 31(4):6–15, 2011.

- [19] Intel. Processor pentium® d 820. [Online] <https://www.intel.com.br/content/www/br/pt/products/sku/27512/intel-pentium-d-processor-820-2m-cache-2-80-ghz-800-mhz-fsb/specifications.html>, Acessado em 04/06/2023.
- [20] Intel. Processor intel® atom® e3815, june 2023. <https://ark.intel.com/content/www/us/en/ark/products/78476/intel-atom-processor-e3815-512k-cache-1-46-ghz.html>, Acessado em 04/06/2023.
- [21] Intel. Processor intel® atom® e3815, june 2023. <https://www.cpu-world.com/CPUs/Atom/Intel-Atom%20E3815.html>, Acessado em 04/06/2023.
- [22] Intel. Processor intel® quark™ soc x1000, june 2023. <https://ark.intel.com/content/www/br/pt/ark/products/79084/intel-quark-soc-x1000-16k-cache-400-mhz.html>, Acessado em 04/06/2023.
- [23] Zai Jian Jia, Andy D. Pimentel, Mark Thompson, Tomás Bautista, and Antonio Núñez. Nasa: A generic infrastructure for system-level mp-soc design space exploration. In *2010 8th IEEE Workshop on Embedded Systems for Real-Time Multimedia*, pages 41–50, 2010.
- [24] Eunsuk Kang, Ethan Jackson, and Wolfram Schulte. An approach for effective design space exploration. In Radu Calinescu and Ethan Jackson, editors, *Foundations of Computer Software. Modeling, Development, and Verification of Adaptive Systems*, pages 33–54, Berlin, Heidelberg, 2011. Springer Berlin Heidelberg.
- [25] Eunsuk Kang, Ethan Jackson, and Wolfram Schulte. An approach for effective design space exploration. In *Foundations of Computer Software. Modeling, Development, and Verification of Adaptive Systems*, pages 33–54. Springer, 2011.
- [26] M.Bao L. Liao, YC. Lin. High-speed graphene transistors with a self-aligned nanowire gate. *Nature*, pages 305–308, 2010.
- [27] Sheng Li, Jung Ahn, Richard Strong, Jay Brockman, Dean Tullsen, and Norman Jouppi. The McPAT framework for multicore and manycore architectures: Simultaneously modeling power, area, and timing. *ACM Transactions on Architecture and Code Optimization (TACO)*, 10(1):5, 2013.
- [28] Bingfeng Mei, Serge Vernalde, Diederik Verkest, Hugo De Man, and Rudy Lauwereins. Adres: An architecture with tightly coupled vliw processor and coarse-grained reconfigurable matrix. In *International Conference on Field Programmable Logic and Applications*, pages 61–70. Springer, 2003.
- [29] Indrani Paul, Srilatha Manne, Manish Arora, W. Lloyd Bircher, and Sudhakar Yalaman-chili. Cooperative boosting: Needy versus greedy power management. 41(3), 2013.
- [30] Arun Raghavan, Yixin Luo, Anuj Chandawalla, Marios Papaefthymiou, Kevin Pipe, Thomas Wenisch, and Milo Martin. Computational sprinting. In *Proceedings of IEEE 18th International Symposium on High Performance Computer Architecture (HPCA)*, pages 1–12. IEEE, 2012.
- [31] Efi Rotem, Alon Naveh, Doron Rajwan, Avinash Ananthakrishnan, and Eli Weissmann. Power management architecture of the 2nd generation intel® core microarchitecture, formerly codenamed sandy bridge. In *Hot Chips 23 Symposium (HCS), 2011 IEEE*, pages 1–33. IEEE, 2011.
- [32] M.T. Santos, R. Sonohata, C. Krebs, D. Segovia, R.R. Santos, and L. Duenha. Performance models for heterogeneous systems applied to the dark silicon-aware design space exploration. *Proceedings of the 31st International Symposium on Computer Architecture and High Performance Computing*, 2019.

- [33] Ricardo Santos, Liana Duenha, Ana Caroline Silva, Matheus Sousa, Luiz Augusto Tedesco, João Carlos Melgarejo, Tony Santos, Rodolfo Azevedo, and Edward Moreno. Dark-silicon aware design space exploration. *Journal of Parallel and Distributed Computing*, 2017.
- [34] Ricardo Santos, Liana Duenha, Ana Caroline Silva, Matheus Sousa, Luiz Augusto Tedesco, João Carlos Melgarejo, Tony Santos, Rodolfo Azevedo, and Edward Moreno. Dark-silicon aware design space exploration. *Journal of Parallel and Distributed Computing*, 120:295–306, 2018.
- [35] Ricardo Santos, Rhayssa Sonohata, Casio Krebs, Daniela Catelan, Liana Duenha, Diego Segovia, and Mateus Tostes Santos. Exploração do projeto de sistemas baseados em gpu ciente de dark silicon. In *Anais Principais do XX Simpósio em Sistemas Computacionais de Alto Desempenho*, pages 358–369. SBC, 2019.
- [36] Tony Santos, Ana Silva, Liana Duenha, Ricardo Santos, Edward Moreno, and Rodolfo Azevedo. On the dark silicon automatic evaluation on multicore processors. In *2016 28th International Symposium on Computer Architecture and High Performance Computing (SBAC-PAD)*, pages 166–173. IEEE, 2016.
- [37] Muhammad Shafique and Siddharth Garg. Computing in the dark silicon era: Current trends and research challenges. *IEEE Design Test*, 34(2):8–23, 2017.
- [38] Rhayssa Sonohata, Danillo Christi A. Arigoni, Eraldo Rezende Fernandes, Ricardo Ribeiro dos Santos, and Liana Dessandre Duenha. Performance predictors for graphics processing units applied to dark-silicon-aware design space exploration. *Concurrency and Computation: Practice and Experience*, page e6877, 2022.
- [39] RHAYSSA DE ALMEIDA SONOHATA. Exploração do espaço de projetos de sistemas gp-gpu ciente de dark silicon. 2022.
- [40] Nidamarthi Srinivas and Kalyanmoy Deb. Multiobjective optimization using nondominated sorting in genetic algorithms. *Evolutionary computation*, 2(3):221–248, 1994.
- [41] Michael B Taylor. Is dark silicon useful? harnessing the four horsemen of the coming dark silicon apocalypse. In *Design Automation Conference (DAC), 2012 49th ACM/EDAC/IEEE*, pages 1131–1136. IEEE, 2012.
- [42] L. Wang and Kevin Skadron. Implications of the power wall: Dim cores and reconfigurable logic. *Micro, IEEE*, 33:40–48, 09 2013.
- [43] Vittorio Zaccaria, Gianluca Palermo, Fabrizio Castro, Cristina Silvano, and Giovanni Mariani. Multicube explorer: An open source framework for design space exploration of chip multi-processors. In *23rd International Conference on Architecture of Computing Systems (ARCS)*, pages 1–7. VDE, 2010.
- [44] Shuye Zhang, Zhenfeng Li, Hongzhi Zhou, Rongqing Li, Shaoan Wang, Kyung-Wook Paik, and Peng He. Challenges and recent prospectives of 3d heterogeneous integration. *e-Prime - Advances in Electrical Engineering, Electronics and Energy*, 2022.