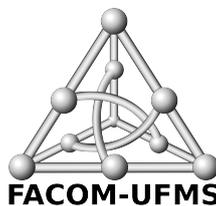


Testes e Melhorias em Interface de Potência para WPT

Pedro Francisco de Mello Sousa

Trabalho de Conclusão de Curso - Relatório Técnico

Orientador
Prof. Dr. Fábio Iaione



Faculdade de Computação
Universidade Federal de Mato Grosso do Sul

Campo Grande - MS
2025

Resumo

Nos últimos anos, vem-se observando um crescimento no uso de dispositivos vestíveis (*wearables*) na área da saúde. Esses dispositivos podem prover monitoramento contínuo de sinais vitais, como frequência cardíaca, oxigenação no sangue e eletrocardiograma (ECG), ajudando no acompanhamento de pacientes de maneira não invasiva. Porém, grande parte desses dispositivos utiliza como fonte de energia pilhas descartáveis ou recarregáveis [Tsai et al., 2012; Wang et al., 2017, 2019], que geram diversos problemas, como a produção de lixo tóxico, a necessidade de mão de obra para a troca dessas pilhas e o tempo de recarga elevado.

Com esse problema em mente, foi projetada uma interface de potência no trabalho de [Sousa, 2022], a qual foi montada em uma matriz de contatos para uma recarga sem fio de um supercapacitor utilizando WPT.

Este trabalho tem como objetivo aplicar melhorias nessa interface de potência por meio da montagem do circuito em uma placa de circuito impresso (PCI), com o intuito de reduzir as impedâncias parasitas presentes na matriz de contatos e diminuir o tempo de carregamento do supercapacitor. Além disso, pretende-se testar a interface, observando seus sinais.

Sumário

1	Introdução	1
2	Fundamentação Teórica	2
2.1	<i>Wireless Power Transfer (WPT)</i>	2
2.2	Condução Cruzada	3
2.3	Tempos de Acionamento e Desligamento	4
2.4	Dissipação de Potência	5
3	Metodologia	6
3.1	Interface de Potência	6
3.2	Construção da Interface de Potência	7
3.2.1	Projeto da Interface de Potência	7
3.3	Componentes Utilizados	10
3.3.1	Transistores	10
3.3.2	Portas NAND	12
3.3.3	Bobinas	12
3.3.4	Outros Componentes Utilizados	14
3.4	Montagem do Circuito	14
3.4.1	Circuito Receptor	15
4	Resultados	17
4.1	Ambiente de testes	17
4.2	Testes	18
4.2.1	Resultados	18
5	Discussão e Conclusão	22

CAPÍTULO 1

Introdução

Nos últimos anos, os dispositivos vestíveis têm se tornado cada vez mais presentes na área da saúde, sendo amplamente utilizados para o monitoramento contínuo de sinais vitais, como frequência cardíaca, nível de oxigenação no sangue e eletrocardiograma (ECG). Essa popularização deve-se, principalmente, ao avanço da tecnologia, que possibilitou a miniaturização dos sensores e o desenvolvimento de sistemas mais eficientes e acessíveis. No entanto, apesar dos benefícios proporcionados por esses dispositivos, a fonte de energia ainda representa um grande desafio.

A maioria dos dispositivos vestíveis e implantáveis para aquisição de sinais de ECG utiliza como fonte de energia pilhas descartáveis ou recarregáveis [Tsai et al., 2012; Wang et al., 2017, 2019]. Porém, essas pilhas apresentam diversos problemas, como a produção de lixo tóxico, o elevado tempo de recarga e a necessidade de mão de obra especializada para que sejam substituídas. Todos esses fatores são inconvenientes para os usuários desses dispositivos.

Uma solução para esse problema é a utilização de supercapacitores para o armazenamento de energia, pois esses dispositivos apresentam uma vida útil dezenas de vezes maior que a das baterias recarregáveis e permitem um "carregamento" mais rápido. Além disso, a utilização em conjunto da tecnologia *Wireless Power Transfer* (*WPT*) traz vantagens interessantes, como a não utilização de conectores ou contatos elétricos para a transferência de energia ao supercapacitor. A recarga via *WPT* ocorre por meio de duas bobinas: uma emissora e uma receptora. O sistema energiza a bobina emissora, que gera um campo eletromagnético capaz de induzir corrente na bobina receptora, fornecendo energia ao dispositivo [Kuka et al., 2020]. No trabalho de [Sousa, 2022], foi desenvolvida uma interface de potência para uso com *WPT*, montada em uma matriz de contatos. No entanto, devido às diversas resistências e impedâncias parasitas presentes nesse tipo de montagem, os testes em laboratório divergiram significativamente dos resultados das simulações.

Diante do cenário exposto, o objetivo deste trabalho é descrever e aprimorar o sistema desenvolvido anteriormente, implementá-lo em uma placa de circuito impresso para protótipos e realizar testes com ele. Com essa alteração, pretende-se obter resultados mais próximos aos obtidos em simulação, uma vez que ela elimina problemas de mau contato e reduz impedâncias parasitas, devido ao uso de componentes soldados na placa e conexões menores (uso de trilhas em vez de *jumpers*).

CAPÍTULO 2

Fundamentação Teórica

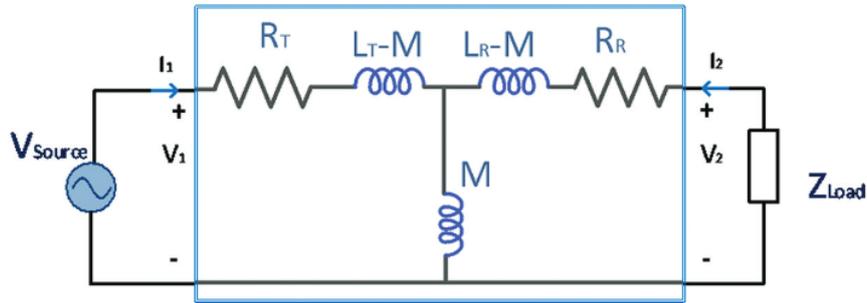
Neste capítulo, serão introduzidos os conceitos utilizados para o desenvolvimento deste trabalho e que são necessários para seu entendimento.

2.1 *Wireless Power Transfer (WPT)*

Wireless Power Transfer, ou WPT, é o nome dado aos sistemas de transmissão de energia sem fio. Existem diversos tipos de sistemas WPT, como sistemas capacitivos, indutivos, por radiofrequência, entre outros métodos. Neste trabalho, abordou-se o *Inductive Power Transfer*, ou IPT, que se baseia no campo magnético de duas bobinas para efetuar a transmissão de energia.

O sistema é composto por uma bobina primária, que é a emissora, e uma secundária, que é a receptora. Ao acoplar as bobinas fisicamente, é possível notar o surgimento de uma indutância mútua no sistema, que pode ser calculada com base na indutância das bobinas emissora e receptora e no coeficiente de acoplamento K , que determina o quão fortemente acopladas as bobinas estão. Para representar esse sistema, foi utilizado o Modelo T (Figura 2.1), no qual a indutância mútua é representada como um indutor do sistema e é dada por (2.1).

Figura 2.1: Modelo T, representando o acoplamento entre as bobinas transmissora (L_t) e receptora (L_r) por meio da indutância mútua (L_m).



Fonte: Retirado de [Kuka et al., 2020].

$$L_m = k \cdot \sqrt{L_{rec} \times L_{em}} \quad (2.1)$$

Em que:

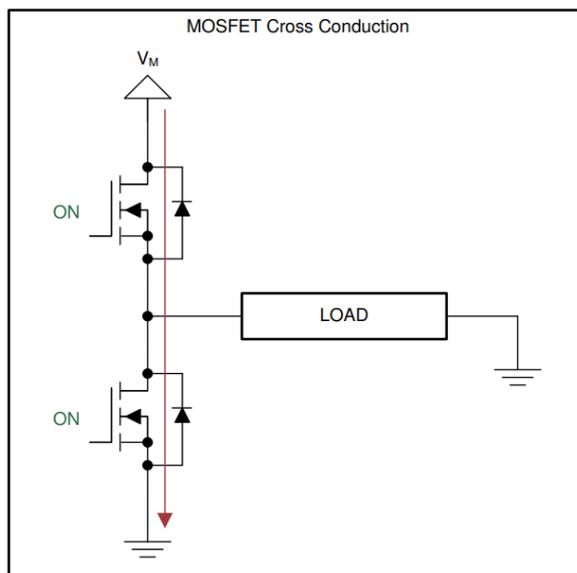
L_m	Indutância Mútua.
L_{em}	Indutância da bobina emissora.
L_{rec}	Indutância da bobina receptora.
R_T	Resistência da bobina emissora.
R_R	Resistência da bobina receptora.
k	Coefficiente de acoplamento entre L_{em} e L_{rec} .

Para o acionamento da bobina emissora, são utilizadas frequências que variam dependendo do sistema, de alguns quilohertz até algumas centenas de quilohertz [Kuka et al., 2020]. O circuito de acionamento utiliza transistores que operam no modo *on-off*, e a bobina emissora é associada a um capacitor, criando um circuito com frequência de ressonância igual à frequência de chaveamento dos transistores. Dentre os circuitos de chaveamento, uma configuração comumente utilizada é a *push-pull*, que, em conjunto com o capacitor em série, faz a corrente circular nos dois sentidos pela bobina emissora.

2.2 Condução Cruzada

A condução cruzada, também conhecida como *shoot-through*, é um problema que ocorre quando os dois MOSFETs ficam ativos durante um curto período de tempo. Isso ocorre no intervalo de subida ou descida do sinal, no qual ocorre um atraso entre a chegada do sinal e a mudança de estado do transistor. Nesse curto intervalo em que os dois MOSFETs ficam acionados, é criado um caminho de baixa impedância entre o Vcc e o GND (Figura 2.2), que permite que transite uma alta corrente que pode danificar os MOSFETs e a carga conectada a eles. Uma solução abordada por [Oborny, 2021] consiste em acrescentar um atraso entre os acionamentos, garantindo que não ocorra a condução cruzada.

Figura 2.2: Imagem de um circuito meia-ponte assimétrica, com MOSFETs em condução cruzada. A linha vermelha com seta para baixo representa o caminho de baixa impedância criado entre o V_{cc} e o GND.

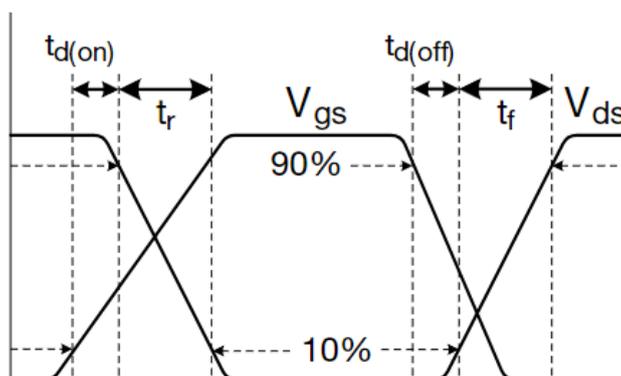


Retirado de [Oborny, 2021].

2.3 Tempos de Acionamento e Desligamento

Ao analisar as especificações técnicas de um MOSFET, como as do IRF9640, por exemplo, pode-se observar que existem quatro tipos de *delays*: o $t_{d(on)}$ e o t_r , referentes ao acionamento do MOSFET, e o $t_{d(off)}$ e o t_f , referentes ao desligamento. Esses tempos podem ser mais bem visualizados na Figura 2.3, onde a diferença entre esses atrasos fica mais clara.

Figura 2.3: Imagem de exemplo de um *Application Note* do fabricante Vishay, onde são representados os atrasos de um MOSFET de canal N.



Retirado de [Siliconix, 2016].

O atraso $t_{d(on)}$ é medido com base no tempo decorrido até que a subida da tensão V_{GS} e a queda de V_{DS} atinjam 10% de seus valores finais. Após esse intervalo inicial, o t_r é o tempo que a tensão V_{DS} leva para cair de 90% a 10% de seu valor. Essa mesma medição pode ser feita de forma análoga para os tempos de desligamento $t_{d(off)}$ e t_f , porém em relação à queda de V_{GS} e à subida de V_{DS} .

2.4 Dissipação de Potência

A dissipação de potência nos MOSFETs é dada por diversos fatores, como *Conduction Loss*, *Gate charge Loss* e *Switching Loss*, que são abordados no *Application Note* [Semiconductor, 2016]. O mais interessante para este trabalho é observar a relação da dissipação de potência durante o chaveamento (*Switching Loss*) com os atrasos t_r e t_f ; essa relação fica clara ao observar (2.2).

$$P_{SW} = \frac{1}{2} \times V_{DS} \times I_D \times (t_r + t_f) \times f_{SW} \quad [W] \quad (2.2)$$

V_{IN}	Tensão de entrada	[V]
I_D	Corrente de saída	[A]
t_r	Tempo de subida do MOSFET	[s]
t_f	Tempo de descida do MOSFET	[s]
f_{SW}	Frequência de chaveamento	[Hz]

A partir de (2.2), podemos ver claramente a influência dos atrasos de subida t_r e de descida t_f na dissipação de potência, que multiplica a corrente de saída. Portanto, no caso de um maior atraso de propagação ($t_r + t_f$), maior será a dissipação. Também é interessante notar que a equação possui certa similaridade com as equações de cálculo de área de triângulos retângulos. Isso ocorre devido ao formato que os atrasos t_f e t_r assumem (Figura 2.3), que é bem próximo a um triângulo retângulo, de fato.

CAPÍTULO 3

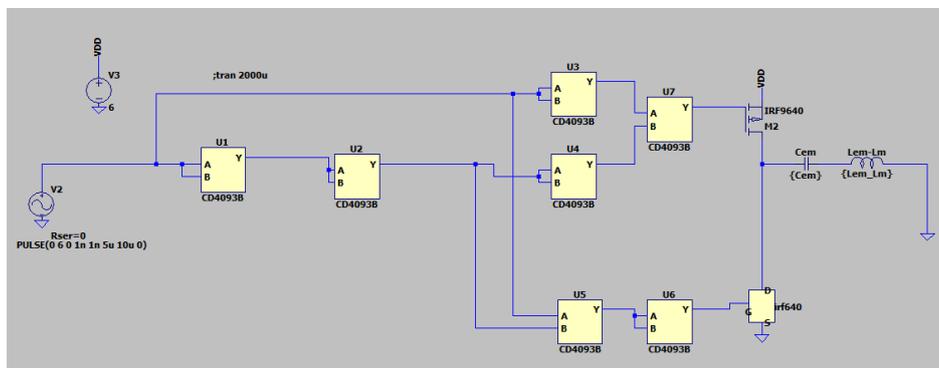
Metodologia

Neste capítulo serão abordadas a modelagem e a montagem do circuito, apresentando os *softwares* e os componentes utilizados.

3.1 Interface de Potência

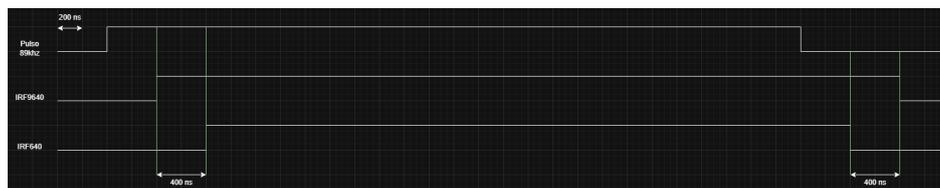
No trabalho de [Sousa, 2022] foi desenvolvida uma interface de potência para acionar a bobina primária, que insere um atraso no sinal de acionamento dos MOSFETs utilizando dois Circuitos Integrados (CI) CD4093 (Figura 3.1). Cada CI CD4093 possui 4 portas NAND que apresentam um atraso de propagação típico de 190 ns (@5 V, $R_L=200\text{ k}\Omega$, $C_L=50\text{ pF}$), usadas de forma que haja um atraso entre os acionamentos dos MOSFETs.

Figura 3.1: Diagrama esquemático da interface de potência desenvolvida.



Fonte: Retirado de [Sousa, 2022].

Figura 3.2: Gráfico dos sinais com atraso, onde cada quadrado representa 200 ns.



Fonte: Confeccionado pelo autor.

A Figura 3.2 mostra o sinal de entrada em conjunto com os sinais de acionamento dos dois MOSFETs, onde se percebe a eliminação do problema de condução cruzada. Os atrasos de desligamento típicos (*turn-off delay time*) dos MOSFETs são de 45 ns para o MOSFET canal N (IRF640) e 39 ns para o MOSFET canal P (IRF9640), e o circuito insere um atraso de 400 ns entre o desligamento do MOSFET P e o acionamento do MOSFET N, e de 400 ns entre o desligamento do MOSFET N e o acionamento do MOSFET P.

3.2 Construção da Interface de Potência

Nesta seção, serão abordados o processo de construção da interface de potência e os *softwares* que foram utilizados para isso.

3.2.1 Projeto da Interface de Potência

A modelagem inicial da interface de potência foi feita por [Sousa, 2022] por meio do LTspice (versão 17.0.35.0), um *software* para simulação e criação de modelos esquemáticos de circuitos eletrônicos. A partir desse projeto, desejava-se montá-lo em uma placa de circuito impresso (PCI) para protótipos, dada a facilidade, a rapidez e o baixo custo dessa opção. Para esse propósito, foi realizada uma pesquisa em busca de *softwares* específicos para o roteamento de circuitos em placas para protótipos, o que levou à descoberta do *software* VeeCAD.

O VeeCAD é um *software open-source* para a criação de circuitos eletrônicos em placas de circuito impresso para protótipos. Com ele, é possível definir qual *layout* de placa para protótipo será utilizado e as dimensões da placa, além do esquemático. Apesar de ser uma ferramenta bastante simples, o VeeCAD foi escolhido por dois motivos principais:

- **Possibilidade de importar *Netlists*:**

O VeeCAD permite importar o *Netlist* de um diagrama esquemático, que é um arquivo que informa quais componentes fazem parte do esquemático e quais são suas conexões elétricas. Isso permite exportar o *Netlist* de qualquer outro aplicativo de esquemáticos e utilizá-lo no VeeCAD.

- **Roteamento Automático:**

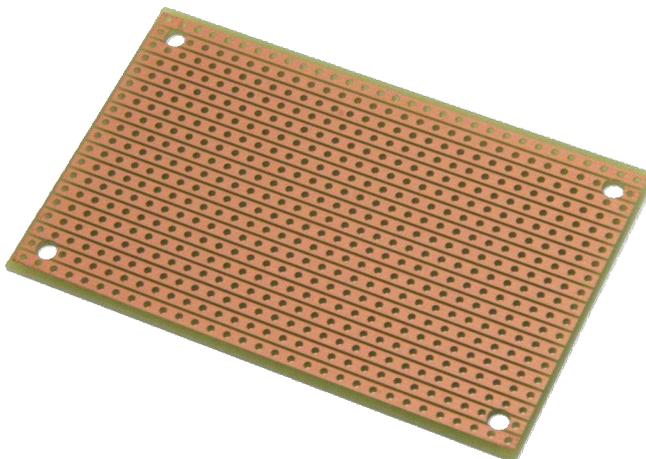
O roteamento é o processo de definir na placa qual a rota das conexões entre

os componentes. No caso de placas para protótipos, que já possuem as trilhas pré-definidas, o roteamento é feito por meio do posicionamento dos componentes na placa, de interrupções de trilhas ou do acréscimo de fios interligando trilhas.

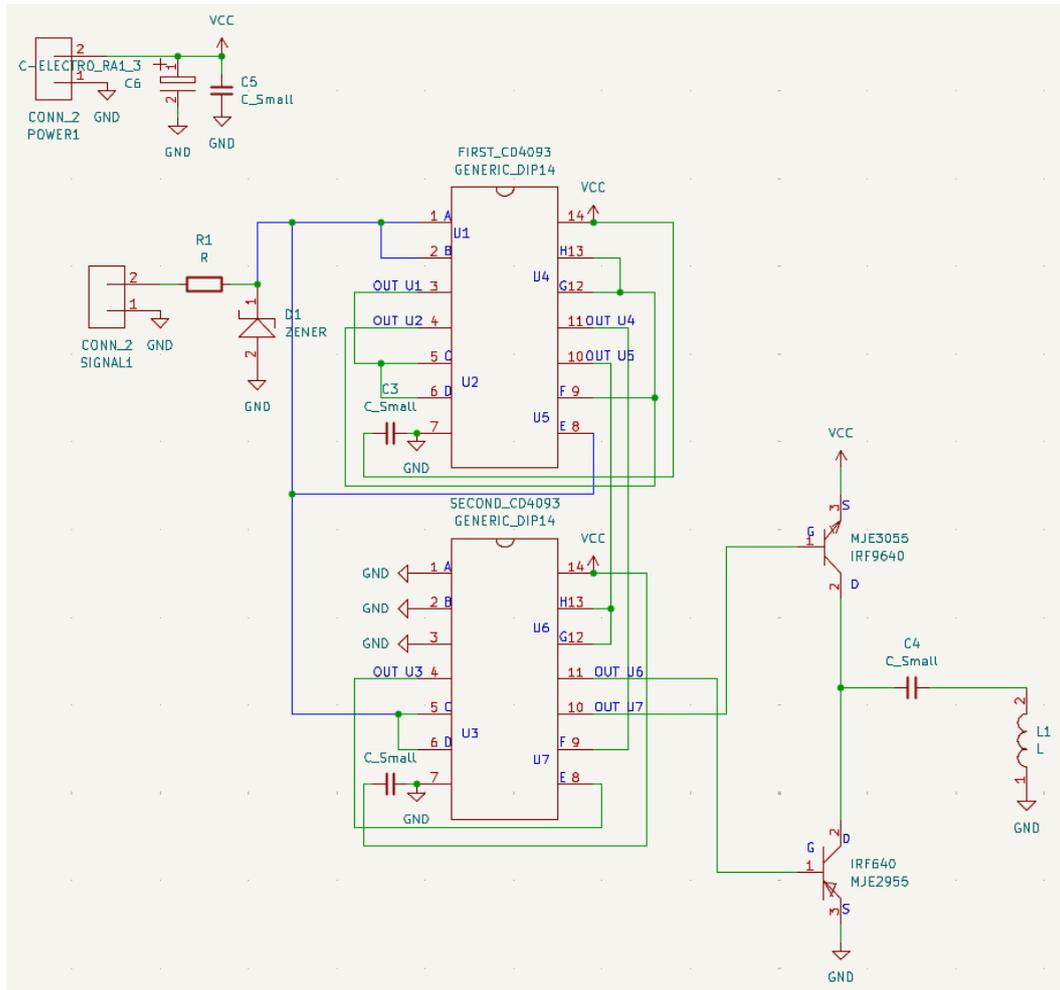
Pelo VeeCAD, é possível automatizar grande parte desse processo para projetos feitos em placas do tipo *Stripboard* (Figura 3.3), em que o *software* faz o roteamento de forma quase automática, sendo necessário apenas definir as dimensões desejadas para a placa, dispor inicialmente os componentes e, posteriormente, efetuar pequenos ajustes.

Além do VeeCAD, foi necessária a utilização do *software* KiCad, que também possui como objetivo viabilizar o projeto de PCIs por meio de ferramentas de criação e edição de esquemas. O KiCad foi escolhido devido à necessidade de utilizarmos uma biblioteca de símbolos específica do VeeCAD para representar os componentes presentes no esquemático, além de também permitir importar o modelo dos componentes reais que são disponibilizados pelos fabricantes, permitindo ter um esquemático mais completo. Dessa forma, um novo esquemático (Figura 3.4) foi desenhado no KiCad seguindo o projeto de [Sousa, 2022], em seguida, o *Netlist* foi gerado e, depois, importado no VeeCAD, onde foi feito o projeto de montagem na PCI.

Figura 3.3: Imagem de uma placa de circuito impresso para protótipos do tipo *Stripboard*.



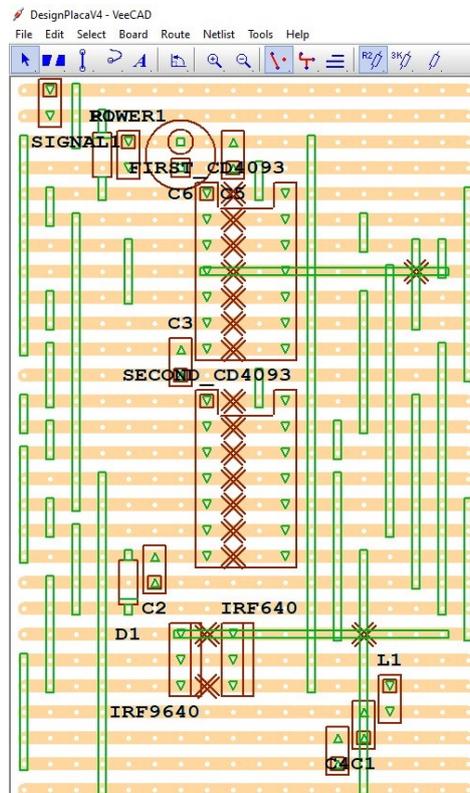
Fonte: Retirado de <https://m.media-amazon.com/images/I/61HfahKzQvL.jpg>.

Figura 3.4: Diagrama esquemático feito no *software* Kicad.

Fonte: Elaborado pelo autor.

Com o *Netlist* importado no VeeCAD, deu-se início à criação do *layout* da PCI. Inicialmente, foram definidas as dimensões da placa e distribuídos os componentes na *Stripboard*; após isso, o VeeCAD efetuou o roteamento automático do circuito, definindo as trilhas entre os componentes que foram previamente dispostos pelo usuário. Foi feita uma revisão do roteamento automático, visando garantir que as conexões elétricas estivessem corretas e acrescentando algumas conexões extras para serem feitas por meio de *jumpers* na hora da montagem. Feitos os devidos ajustes e correções, foi gerado o *layout* final da PCI (Figura 3.5).

Figura 3.5: *Layout* da PCI *stripboard* gerada no aplicativo VeeCAD. As marcas em forma de X indicam pontos onde as trilhas devem ser interrompidas e as conexões em verde indicam fios (*jumper*s) que devem ser soldados.



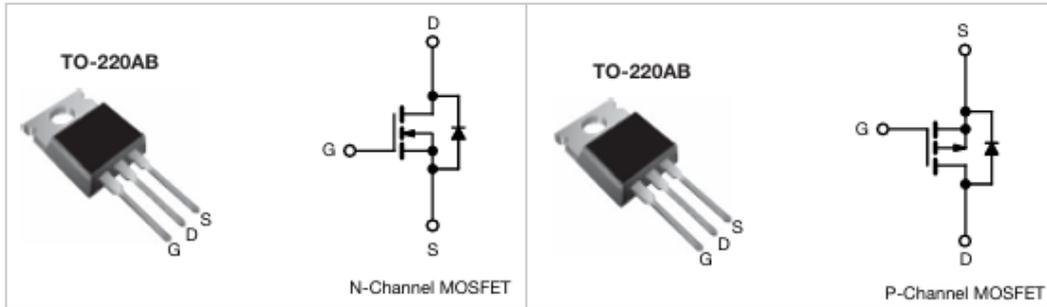
Fonte: Elaborado pelo autor.

3.3 Componentes Utilizados

3.3.1 Transistores

Os dois modelos de transistores MOSFET utilizados na interface de potência para chavear a corrente que alimenta a bobina emissora foram o IRF640 canal N e o IRF9640 canal P (Figura 3.6). Esses MOSFETs funcionam de forma complementar devido à forma de polarização de cada um, na qual o canal P conduz quando o gate é polarizado negativamente, e o canal N conduz quando o gate é polarizado positivamente, fazendo com que os transistores atuem de forma alternada. As especificações desses dois transistores são mostradas nas Figuras 3.7 e 3.8.

Figura 3.6: Imagem dos MOSFETs utilizados. A esquerda o IRF640 e a direita o IRF9640.



Fonte: Retirado de [Siliconix, 2024] e [Siliconix, 2021].

Figura 3.7: Especificações do MOSFET IRF9640.

Dynamic						
Input capacitance	C_{iss}	$V_{GS} = 0\text{ V},$ $V_{DS} = -25\text{ V},$ $f = 1.0\text{ MHz, see fig. 5}$	-	1200	-	pF
Output capacitance	C_{oss}		-	370	-	
Reverse transfer capacitance	C_{rss}		-	81	-	
Total gate charge	Q_g	$V_{GS} = -10\text{ V}$ $I_D = -11\text{ A}, V_{DS} = -160\text{ V},$ see fig. 6 and 13 ^b	-	-	44	nC
Gate-source charge	Q_{gs}		-	-	7.1	
Gate-drain charge	Q_{gd}		-	-	27	
Turn-on delay time	$t_{d(on)}$	$V_{DD} = -100\text{ V}, I_D = -11\text{ A}$ $R_g = 9.1\ \Omega, R_D = 8.6\ \Omega, \text{ see fig. 10}^b$	-	14	-	ns
Rise time	t_r		-	43	-	
Turn-off delay time	$t_{d(off)}$		-	39	-	
Fall time	t_f		-	38	-	
Gate input resistance	L_D	Between lead, 6 mm (0.25") from package and center of die contact 	-	4.5	-	nH
Internal drain inductance	L_S		-	7.5	-	
Internal source inductance	R_g	$f = 1\text{ MHz, open drain}$	0.3	-	1.7	Ω

Fonte: Retirado de [Siliconix, 2021].

Figura 3.8: Especificações do MOSFET IRF640.

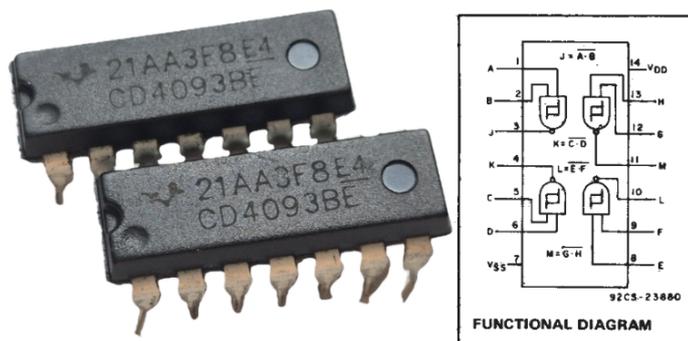
Dynamic						
Input capacitance	C_{iss}	$V_{GS} = 0\text{ V},$ $V_{DS} = 25\text{ V},$ $f = 1.0\text{ MHz, see fig. 5}$	-	1300	-	pF
Output capacitance	C_{oss}		-	430	-	
Reverse transfer capacitance	C_{rss}		-	130	-	
Total gate charge	Q_g	$V_{GS} = 10\text{ V}$ $I_D = 18\text{ A}, V_{DS} = 160\text{ V},$ see fig. 6 and 13 ^b	-	-	70	nC
Gate-source charge	Q_{gs}		-	-	13	
Gate-drain charge	Q_{gd}		-	-	39	
Turn-on delay time	$t_{d(on)}$	$V_{DD} = 100\text{ V}, I_D = 18\text{ A},$ $R_g = 9.1\ \Omega, R_D = 5.4\ \Omega, \text{ see fig. 10}^b$	-	14	-	ns
Rise time	t_r		-	51	-	
Turn-off delay time	$t_{d(off)}$		-	45	-	
Fall time	t_f		-	36	-	
Gate input resistance	L_D	Between lead, 6 mm (0.25") from package and center of die contact 	-	4.5	-	nH
Internal drain inductance	L_S		-	7.5	-	
Internal source inductance	R_g	$f = 1\text{ MHz, open drain}$	0.5	-	3.6	Ω

Fonte: Retirado de [Siliconix, 2024].

3.3.2 Portas NAND

No projeto foram utilizados dois CIs do modelo CD4093BE, que possuem 4 portas NAND *Schmitt Trigger* (Figura 3.9) cada um. Essas portas foram usadas para acrescentar os atrasos (Figura 3.10) no acionamento dos MOSFETs e evitar o problema de condução cruzada.

Figura 3.9: Imagem dos CIs utilizados e diagrama interno.



Fonte: Imagem elaborada pelo autor e diagrama retirado de [Instruments, 2003].

Figura 3.10: Especificações do atraso de propagação das portas NAND do CD4094BE.

DYNAMIC ELECTRICAL CHARACTERISTICS
 At $T_A = 25^\circ\text{C}$; Input $t_r, t_f = 20\text{ ns}$, $C_L = 50\text{ pF}$, $R_L = 200\text{ k}\Omega$

CHARACTERISTIC	TEST CONDITIONS	LIMITS		UNITS	
		VDD VOLTS	TYP.		MAX.
Propagation Delay Time: t_{PHL} t_{PLH}		5	190	380	ns
		10	90	180	
		15	65	130	

Fonte: Retirado de [Instruments, 2003]

3.3.3 Bobinas

No sistema, são necessárias duas bobinas:

- **Receptora:** A bobina receptora será induzida pelo campo gerado pela emissora e conduzirá essa energia para o circuito retificador que alimenta o supercapacitor a ser carregado.
- **Emissora:** A bobina emissora tem o objetivo de gerar o campo magnético que irá induzir a receptora; para isso, ela é conectada na saída dos MOSFETs, que proveem o sinal variável em torno de 100 kHz.

Essas bobinas foram construídas seguindo as especificações calculadas em [Sousa, 2022], com as seguintes dimensões:

- **Diâmetro interno:** 3,5 cm
- **Dimensões da bobina (Largura e espessura):** 5,5 mm x 5,5 mm
- **Bitola do fio:** 25 AWG
- **Número de espiras:** 80

Com esses valores, a bobina apresenta uma indutância de 333,38 μ H (Equação 3.1) e resistência de 0,94 Ω (Equação 3.2). Cabe observar que a indutância foi definida para uma frequência de ressonância de 100 kHz, com um capacitor de 7,5nF.

$$L = \frac{0,31 \times (a \times N)^2}{6 \times a + 9 \times b + 10 \times h} \quad (3.1)$$

$$R = \frac{2 \times \pi \times N \times d \times r_{km}}{200000} \quad (3.2)$$

$$b = h = \sqrt{N} \times d_{fio} \quad (3.3)$$

Onde:

L	Indutância da bobina (μ H)
a	Raio da bobina (cm)
b	Espessura do enrolamento (cm)
h	Altura do enrolamento (cm)
d_{fio}	Diâmetro do fio (mm)
N	Número de espiras da bobina
R	Resistência da bobina (Ω)
d	Diâmetro da bobina (mm)
r_{km}	Resistência do fio ($\Omega \text{ km}^{-1}$)

A partir das especificações, foram confeccionadas as bobinas utilizadas para a transferência de energia no sistema WPT (Figura 3.11).

Figura 3.11: Imagem de uma bobina construída.



Fonte: Figura confeccionada pelo autor.

3.3.4 Outros Componentes Utilizados

Também foram utilizados outros componentes no circuito, como capacitores cerâmicos para sintonizar as bobinas e dissipadores de calor acoplados aos MOSFETs.

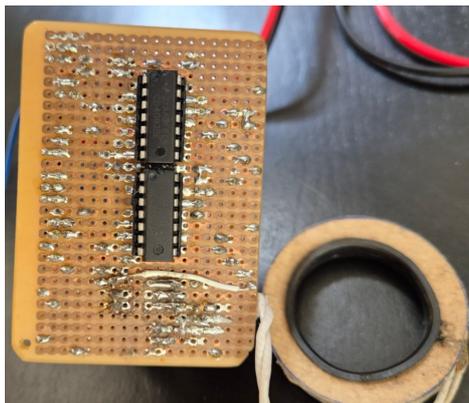
3.4 Montagem do Circuito

Na montagem dos componentes na placa de protótipos, foi necessário, primeiramente, preparar a placa. Em seguida, os componentes foram acomodados e soldados. Na preparação da *stripboard* adquirida, foi preciso cortá-la para adequá-la às medidas definidas no projeto feito no VeeCAD, onde se estabeleceu o uso de 28 trilhas com 19 pinos cada. A placa cortada para atender a essa especificação possui dimensões de $7.3\text{ cm} \times 5.5\text{ cm}$, resultando em um projeto compacto em termos de espaço. O passo seguinte consistiu em realizar cortes em algumas trilhas, utilizando uma pequena furadeira *mini drill* com disco de corte.

Com a placa devidamente preparada, foi dado início ao processo de soldagem dos componentes. Nesse momento, percebeu-se um erro que foi facilmente contornado espelhando-se o projeto feito no VeeCAD e posicionando-se apenas os CIs na face inferior, onde se encontram as trilhas da *Stripboard* (Figura 3.12).

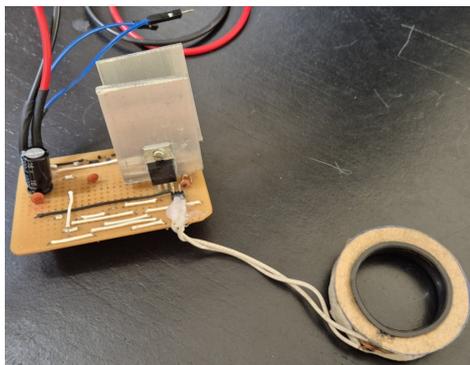
Após a soldagem de todos os componentes e fios *jumper*s, partiu-se para um teste preliminar do sistema montado (Figura 3.13). Durante o teste, foi constatada a necessidade de se utilizar um dissipador de calor nos MOSFETs, devido ao aquecimento. Para isso, foram utilizadas duas placas de alumínio fixadas nos transistores por meio de parafuso e pasta térmica, solucionando o problema.

Figura 3.12: CIs CD4093 soldados na parte inferior da PCI.



Fonte: Figura confeccionada pelo autor.

Figura 3.13: Foto do circuito emissor montado na PCI.



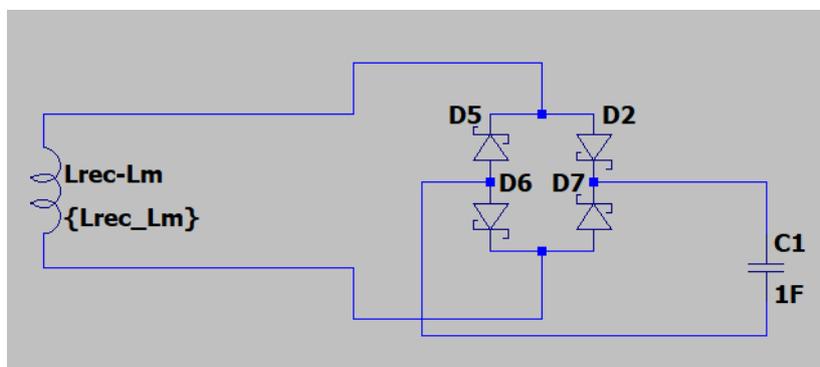
Fonte: Figura confeccionada pelo autor.

3.4.1 Circuito Receptor

Nesta seção, será abordado o circuito receptor do sistema de carga sem fio.

O circuito consiste na bobina receptora, que é conectada a uma ponte retificadora de onda completa. Essa ponte converte a corrente alternada (CA) que chega pela bobina em corrente contínua (CC), que, por fim, é conectada ao supercapacitor que armazenará a energia.

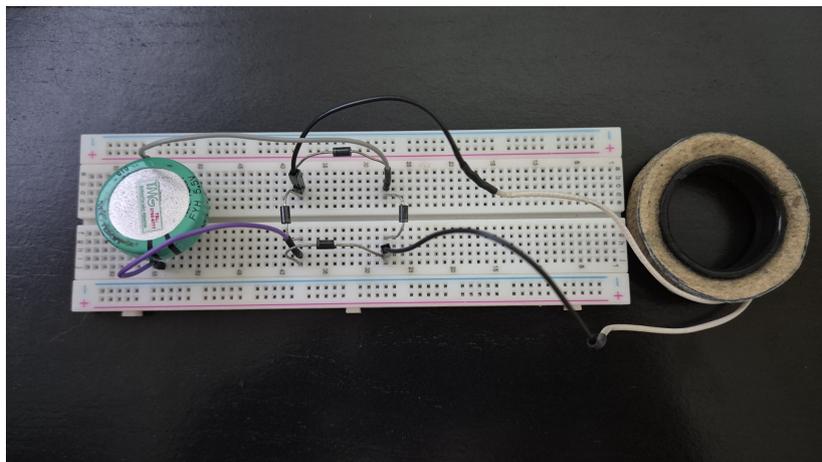
Figura 3.14: Diagrama esquemático do circuito receptor feito no LTspice.



Fonte: Figura confeccionada pelo autor.

O circuito receptor modelado e simulado no LTspice foi montado em uma matriz de contatos (Figura 3.15). Para o funcionamento do circuito receptor, basta acoplar as bobinas emissora e receptora para iniciar a transferência de energia via WPT. A bobina induzida irá gerar uma corrente alternada que será retificada pela ponte retificadora e entregue ao supercapacitor, efetuando o seu carregamento.

Figura 3.15: Circuito receptor montado na matriz de contatos.



Fonte: Figura confeccionada pelo autor.

CAPÍTULO 4

Resultados

Nesta seção, será abordado como foram feitos os testes da interface de potência, qual padrão foi utilizado e os resultados obtidos.

4.1 Ambiente de testes

Na bancada de testes foram utilizados uma fonte de tensão e um gerador de sinais para a alimentação do circuito. Já o monitoramento foi feito com um osciloscópio digital para ajustar a ressonância na bobina e verificar outros sinais do circuito. Também foi utilizado um multímetro digital para verificar a tensão no supercapacitor e as temperaturas dos MOSFETs. A fonte foi configurada para prover 6 V para o circuito, e o gerador de sinais para prover uma onda quadrada em torno de 89 kHz, também com 6 V de amplitude. Esses parâmetros de alimentação foram retirados de [Sousa, 2022] e foram obtidos por meio de simulações feitas com o sistema no LTspice para carga do supercapacitor de 1 F até 2,7V.

Figura 4.1: Equipamentos utilizados: Fonte de Alimentação (1), Gerador de Sinais (2), Multímetro Digital (3) e Osciloscópio (4).



Fonte: Figura confeccionada pelo autor.

	Equipamento	Fabricante	Modelo
1	Fonte de Alimentação	Hikari	HF-3003S
2	Gerador de Sinais	Victor	VC2002
3	Multímetro Digital	WHDZ	M890C+
4	Osciloscópio	Gratten	GA1102CAL

4.2 Testes

Após a configuração do ambiente, deu-se início aos testes. Assim como nas simulações feitas em [Sousa, 2022], foi medido o tempo de carga do supercapacitor de 1 F até a tensão de 2,7V para comparar com os resultados obtidos nas simulações, verificando o tempo de carga, o aquecimento, o comportamento dos MOSFETs e a transferência de energia.

Foi adotado um padrão para os testes com o objetivo de garantir as mesmas condições entre eles, para isso, inicialmente foi medida a temperatura ambiente do laboratório em que os testes foram realizados. Após isso, o circuito foi ligado, as bobinas acopladas e a frequência de ressonância ajustada para que tudo ficasse preparado para a carga, bastando apenas a conexão da bobina receptora na ponte retificadora. Dessa forma, com o circuito em *standby*, foram dados 5 minutos para os MOSFETs estabilizarem suas temperaturas e, em seguida, foi dado início ao processo de carregamento do supercapacitor.

Durante o carregamento, um multímetro foi conectado para medir a tensão no supercapacitor até a tensão de 2,7V, e esse tempo de carregamento foi cronometrado. Após isso, o capacitor foi descarregado utilizando um resistor e o sistema foi colocado em *standby* novamente por 5 minutos, para estabilizar a temperatura dos MOSFETs. Essa sequência de teste foi realizada três vezes.

4.2.1 Resultados

Seguindo a metodologia de testes, obtiveram-se os seguintes resultados, exibidos na Tabela 4.1. Esses testes foram feitos para a carga do capacitor até 2,7V com frequência de ressonância ajustada para 89 kHz e temperatura ambiente de 23 °C.

Tabela 4.1: Temperatura dos MOSFETs e tempo de carga do supercapacitor em cada sequência de teste.

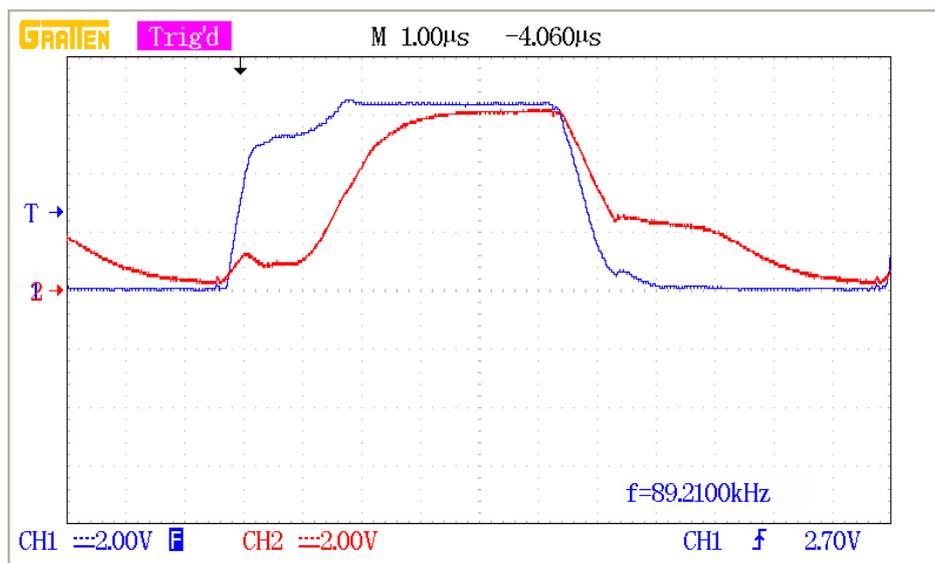
	Temp IRF9640 (°C)	Temp IRF640 (°C)	Tempo de carga (minutos)
1	35	33	1:20
2	38	32	1:16
3	38	32	1:12

Analisando os resultados, é possível observar que o tempo de carga ficou, em média, em 1 minuto e 16 segundos. Se compararmos com os resultados obtidos em teste e simulação por [Sousa, 2022], nos quais foi obtido o tempo de 108s nas simulações e de 121s na matriz de contatos, podemos notar uma melhora considerável no tempo de carregamento, aproximando-se mais do valor obtido em simulação. Porém, a alta

temperatura observada nos MOSFETs trouxe preocupação e, para investigar isso, o osciloscópio foi conectado nas duas saídas do CI CD4093 que acionam o gate de cada MOSFET.

A Figura 4.2 mostra o sinal no gate de ambos os MOSFETs: o canal P (IRF9640) é representado pela curva vermelha, enquanto o canal N (IRF640) é representado pela curva azul.

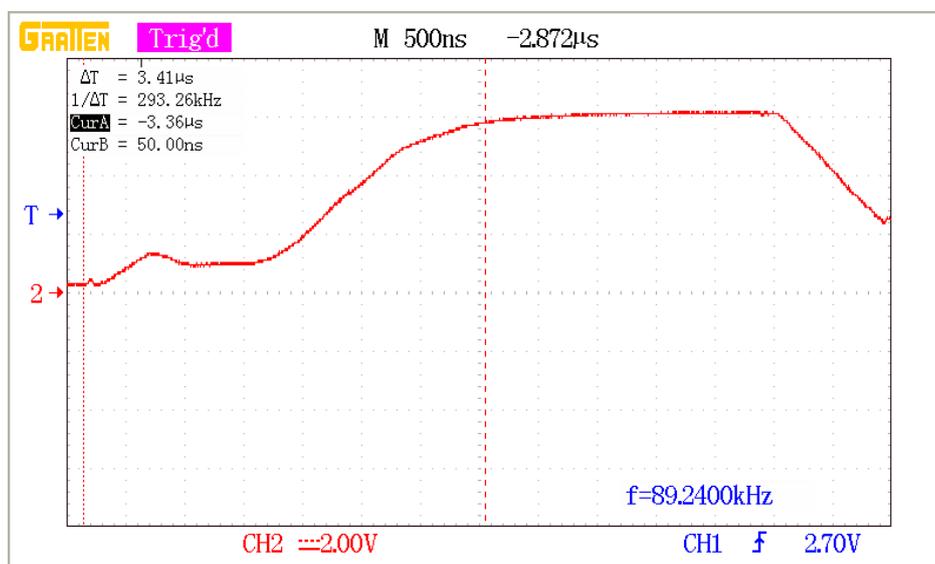
Figura 4.2: Sinal do gate dos MOSFETs canal P e canal N.



Fonte: Figura confeccionada pelo autor.

A Figura 4.3 mostra o sinal no gate do MOSFET canal P (IRF9640), onde se observa um tempo de subida de aproximadamente 3,41µs no desacionamento do MOSFET.

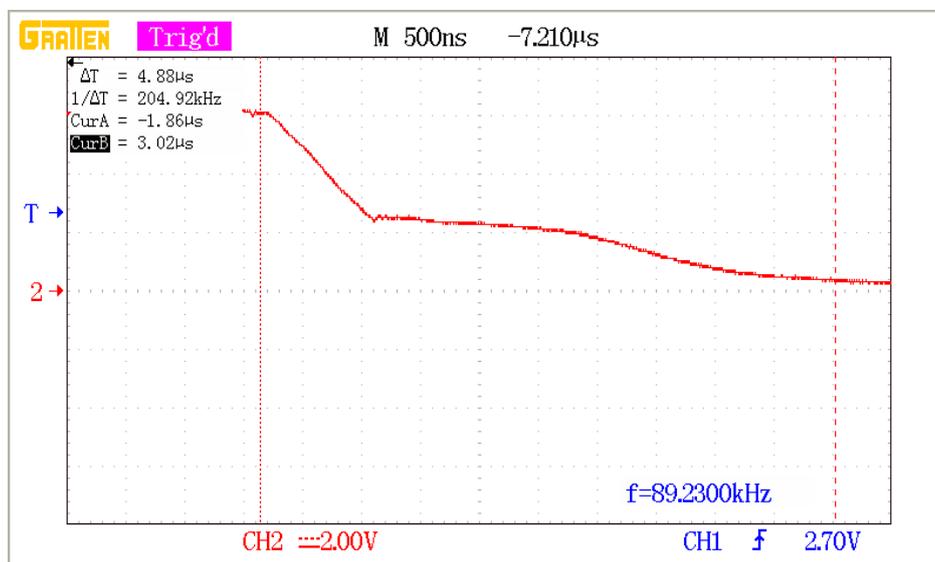
Figura 4.3: Tempo de subida do IRF9640: 3,41µs.



Fonte: Figura confeccionada pelo autor.

A Figura 4.4 mostra o sinal no gate do MOSFET canal P (IRF9640), onde se observa um tempo de descida de $4,88\mu\text{s}$ no acionamento do MOSFET.

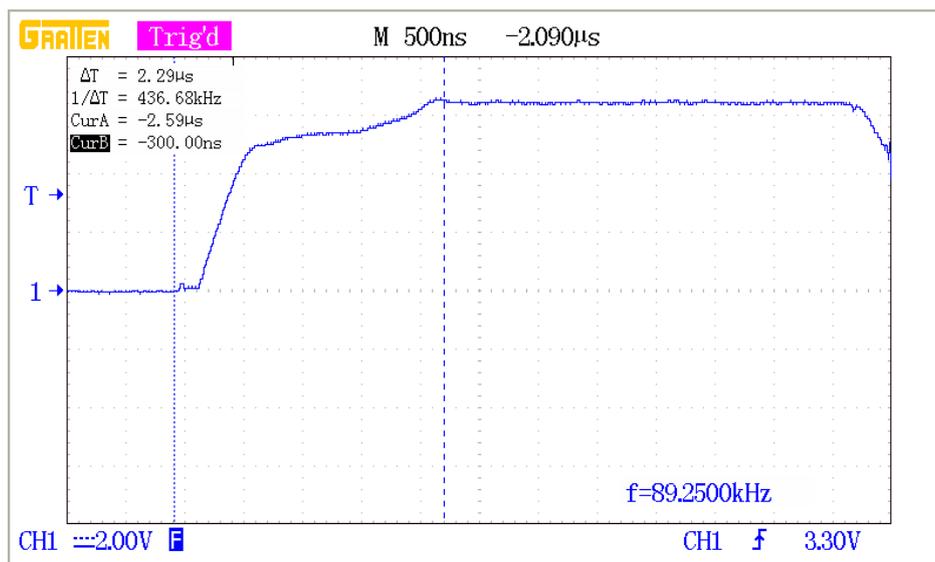
Figura 4.4: Tempo de descida do IRF9640: $4,88\mu\text{s}$.



Fonte: Figura confeccionada pelo autor.

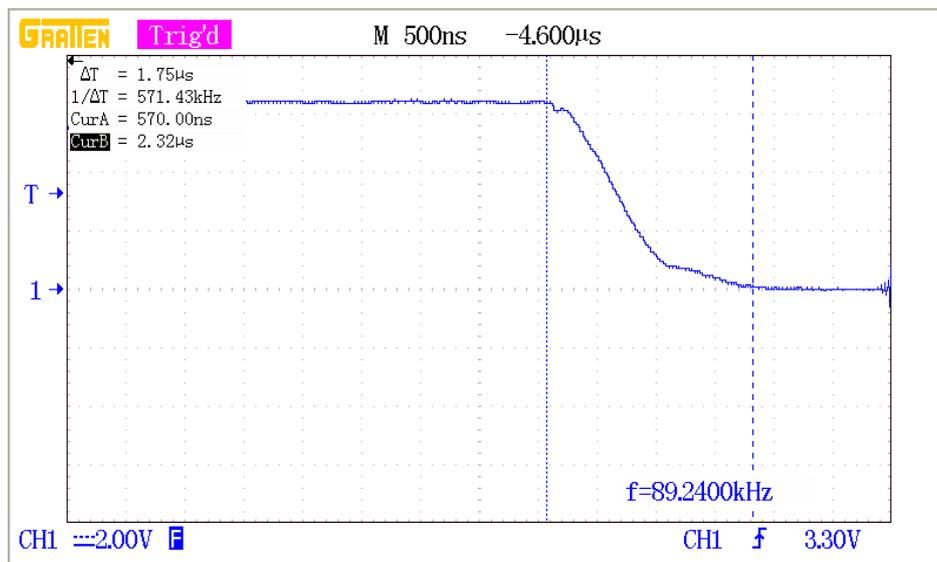
A Figura 4.5 mostra o sinal no gate do MOSFET canal N (IRF640), onde se observa um tempo de subida de $2,29\mu\text{s}$ no acionamento do MOSFET.

Figura 4.5: Tempo de subida do IRF640: $2,29\mu\text{s}$.



Fonte: Figura confeccionada pelo autor.

Por fim, a Figura 4.6 mostra o sinal no gate do MOSFET canal N (IRF640), onde se observa um tempo de descida de $1,75\mu\text{s}$ no desacionamento do MOSFET.

Figura 4.6: Tempo de descida do IRF640: 1,75 μ s.

Fonte: Figura confeccionada pelo autor.

CAPÍTULO 5

Discussão e Conclusão

Neste capítulo serão discutidos os resultados obtidos e as conclusões que puderam ser obtidas desses dados.

Com base nos resultados obtidos com os testes do circuito, é possível observar uma melhora considerável nos resultados, se comparados aos obtidos por [Sousa, 2022]. Porém, também foi observado um aquecimento acima do esperado nos MOSFETs, conduzindo ao uso de dissipadores e ao monitoramento do sinal no gate dos MOSFETs.

Ao analisar esses sinais, pode-se observar que as portas acrescentadas para inserir um atraso entre o desligamento de um MOSFET e o acionamento do outro apresentam tempos de subida e descida elevados. O aumento dos tempos de transição no gate dos MOSFETs tem relação direta com seu aquecimento, como visto na Seção 2.4, a respeito da dissipação de potência.

Começando pelos dados dos testes do IRF9640 (MOSFET canal P), percebe-se que ele foi acionado com tempo de descida de $4,88\mu\text{s}$ e desligado com o tempo de subida de $3,41\mu\text{s}$, apresentando uma temperatura média de 37°C . Já no IRF640 (MOSFET canal N) percebe-se que ele foi acionado com tempo de subida de $2,29\mu\text{s}$ e desligado com tempo de descida de $1,75\mu\text{s}$, apresentando uma temperatura de 32°C . Esses resultados confirmam o esperado: uma dissipação maior de potência quando os tempos de transição são maiores.

Para verificar a causa dos elevados tempos de transição, as portas NAND foram retiradas do circuito e percebeu-se uma diminuição significativa nos tempos de transição (tempo de subida de 570 ns). Acredita-se que a capacitância gate-source dos MOSFETs e as capacitâncias parasitas da *stripboard*, associadas à capacidade relativamente pequena de fornecer e drenar corrente do circuito de saída das portas NAND, sejam a causa do aumento dos tempos de transição. Portanto, sugere-se que futuramente seja inserido um *buffer* de corrente entre as saídas das portas NAND e os gates dos MOSFETs, com baixíssima impedância de saída, ou que se utilizem CIs específicos para acionamento de MOSFETs, que possuam alta capacidade de corrente de saída e também permitam aplicar o atraso desejado.

Embora os CIs CD4093 ajudem a evitar danos nos MOSFETs, na prática acabaram gerando um aquecimento devido ao aumento nos tempos de transição. Isso reforça

a importância dos testes em laboratório, que colocam o circuito à prova e revelam dificuldades muitas vezes difíceis de serem detectadas em simulações.

Portanto, acredita-se que este trabalho colaborou positivamente na melhoria da interface de potência e também reforçou a importância dos testes em laboratório para validar o funcionamento correto de circuitos em condições reais.

Referências Bibliográficas

[Instruments 2003] INSTRUMENTS, Texas: CMOS Quad 2-Input NAND Schmitt Triggers / Texas Instruments Incorporated. URL https://www.ti.com/lit/ds/symlink/cd4093b.pdf?ts=1746726030725&ref_url=https%253A%252F%252Fwww.mouser.it%252F, 2003. – Datasheet

[Kuka et al. 2020] KUKA, Sokol ; NI, Kai ; ALKAHTANI, Mohammed: A Review of Methods and Challenges for Improvement in Efficiency and Distance for Wireless Power Transfer Applications. In: *Power Electronics and Drives* 5 (2020), Nr. 1, S. 1–25. – URL <https://doi.org/10.2478/pead-2020-0001>

[Oborny 2021] OBORNY, Ojha: Understanding Smart Gate Drive / Texas Instruments Incorporated. URL <https://www.ti.com/lit/an/slva714c/slva714c.pdf>, 2021. – Forschungsbericht

[Semiconductor 2016] SEMICONDUCTOR, ROHM: Calculation of Power Loss (Synchronous) / ROHM Semiconductor. URL https://fscdn.rohm.com/en/products/databook/applinote/ic/power/switching_regulator/power_loss_appliance.pdf, 2016 (AEK59-D1-0065-2). – Application Note

[Siliconix 2016] SILICONIX, Vishay: Power MOSFET Basics: Understanding Gate Charge and Using it to Assess Switching Performance / Vishay Siliconix. URL <https://www.vishay.com/docs/73217/an608a.pdf>, 2016 (AN608A). – Application Note

[Siliconix 2021] SILICONIX, Vishay: IRF9640 PRODUCT INFORMATION / Vishay Siliconix. URL <https://www.vishay.com/docs/91086/irf9640.pdf>, 2021. – Datasheet

[Siliconix 2024] SILICONIX, Vishay: IRF640 PRODUCT INFORMATION / Vishay Siliconix. URL <https://www.vishay.com/docs/91036/irf640.pdf>, 2024. – Datasheet

[Sousa 2022] SOUSA, Pedro F.: Desenvolvimento de Sistema para Recarga Sem Fios da Fonte de Energia Usada na Aquisição de ECG / Universidade Federal de Mato Grosso do Sul, Campo Grande. 2022. – Relatório PIBIC

[Tsai et al. 2012] TSAI, Tsung-Heng ; HONG, Jia-Hua ; WANG, Liang-Hung ; LEE, Shuenn-Yuh: Low-Power Analog Integrated Circuits for Wireless ECG Acquisition

Systems. In: *IEEE Transactions on Information Technology in Biomedicine* 16 (2012), Sep., Nr. 5, S. 907–917. – ISSN 1558-0032

[Wang et al. 2017] WANG, Liang-Hung ; DONG, Wei-Zhong ; CHEN, Jian-Zhi ; WANG, Fa-Xiang ; FAN, Ming-Hui: Low-Power Low-Data-Loss Bio-Signal Acquisition System for Intelligent Electrocardiogram Detection. In: *IEICE Electronics Express* 14 (2017), 01

[Wang et al. 2019] WANG, Liang-Hung ; ZHANG, Wei ; GUAN, Ming-Hui ; JIANG, Su-Ya ; FAN, Ming-Hui ; ABU, Patricia Angela R. ; CHEN, Chiung-An ; CHEN, Shih-Lun: A Low-Power High-Data-Transmission Multi-Lead ECG Acquisition Sensor System. In: *Sensors* 19 (2019), Nr. 22. – URL <https://www.mdpi.com/1424-8220/19/22/4996>. – ISSN 1424-8220