



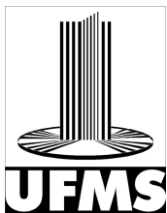
**UNIVERSIDADE FEDERAL DE MATO GROSSO DO SUL  
CENTRO DE CIÊNCIAS EXATAS E TECNOLOGIA  
DEPARTAMENTO DE ENGENHARIA ELÉTRICA  
PROGRAMA DE PÓS-GRADUAÇÃO  
MESTRADO EM ENGENHARIA ELÉTRICA**

**LUIS HENRIQUE GUIMARÃES CORBELINO**

**FERRAMENTA PARA SINCRONISMO DE GERADOR  
SÍNCRONO COM A REDE ELÉTRICA EMPREGANDO PLL  
MONOFÁSICO EMBARCADO EM FPGA**

CAMPO GRANDE - MS

2012



**UNIVERSIDADE FEDERAL DE MATO GROSSO DO SUL  
CENTRO DE CIÊNCIAS EXATAS E TECNOLOGIA  
DEPARTAMENTO DE ENGENHARIA ELÉTRICA  
PROGRAMA DE PÓS-GRADUAÇÃO  
MESTRADO EM ENGENHARIA ELÉTRICA**

**LUIS HENRIQUE GUIMARÃES CORBELINO**

**FERRAMENTA PARA SINCRONISMO DE GERADOR  
SÍNCRONO COM A REDE ELÉTRICA EMPREGANDO PLL  
MONOFÁSICO EMBARCADO EM FPGA**

Dissertação apresentada para obtenção do título de Mestre ao Programa de Pós-Graduação em Engenharia Elétrica, da Universidade Federal de Mato Grosso do Sul, sob a orientação da Profª Drª Luciana Cambraia Leite.  
Área de Concentração: Energia

CAMPO GRANDE - MS

2012

# **Ferramenta para Sincronismo de Gerador Síncrono com a Rede Elétrica Empregando PLL Monofásico Embarcado em FPGA**

Luis Henrique Guimarães Corbelino

‘Esta Dissertação foi julgada adequada para obtenção do Título de Mestre em Engenharia Elétrica, Área de Concentração em *Energia*, e aprovada em sua forma final pelo Programa de Pós-Graduação em Engenharia Elétrica da Universidade Federal de Campo Grande.’

---

Luciana Cambraia Leite, Doutora  
Orientador

---

Luciana Cambraia Leite, Doutora  
Coordenador do Programa de Pós-Graduação em Engenharia Elétrica

Banca Examinadora:

---

Luciana Cambraia Leite, Doutora  
Presidente

---

Ruben Barros Godoy, Doutor

---

Edson Antonio Batista, Doutor

---

Cristiano Andrea Quevedo, Doutor

## AGRADECIMENTOS

Agradeço primeiro a Deus, por me dar forças para conseguir completar mais esta etapa.

Ao meu pai José Carlos e a minha mãe Rosa Inês e aos meus irmãos, por me incentivar e apoiar em todos os momentos principalmente nos mais difíceis em que nada dava certo.

Aos meus amigos Raphael Ceni e João Siqueira do LABSEM por contribuírem no desenvolvimento deste trabalho.

Ao professor Edson que me acompanhou desde a graduação e me incentivou a ingressar no mestrado, por me auxiliar nas dúvidas e estar sempre disposto a ajudar.

Ao professor Ruben por confiar em mim a continuidade do seu trabalho e por me orientar durante o desenvolvimento.

A professora Luciana Cambraia, por me ajudar nas correções.

Ao aluno Alex Pastick, que batalhou no motor junto comigo dividindo as dores de cabeças e compartilhando ideias para aumentar a contribuição do trabalho com os resultados experimentais.

Aos pesquisadores Leonardo Carniato e o Pedro Ribeiro por partilharem as suas experiências de bancada durante a implementação dando sugestões e ideias. E assim como todos os demais pesquisadores e funcionários do BATLAB que me ajudaram, permitiram a conclusão deste trabalho.

Resumo da Dissertação apresentada à UFMS como parte dos requisitos necessários para a obtenção do grau de Mestre em Engenharia Elétrica.

## **Ferramenta para Sincronismo de Gerador Síncrono com a Rede Elétrica Empregando PLL Monofásico Embarcado em FPGA**

**Luis Henrique Guimarães Corbelino**

Dezembro/2012

Orientador: Luciana Cambraia Leite, Doutora.

Área de Concentração: Energia.

Palavras-chave: FPGA, Teoria da potência instantânea, PLL ,gerador síncrono.

Número de Páginas: 62.

Este trabalho aborda o desenvolvimento, a simulação e a implementação de um sistema automático para realizar o paralelismo entre gerador e a rede elétrica, além do estudo para realizar o controle de transferência de potência ativa. A técnica utilizada estima o ângulo de fase e a frequência das tensões com um circuito PLL monofásico baseado na teoria da potência instantânea. Estes parâmetros são empregados no controle de velocidade do gerador e, por consequência, da frequência e da fase da tensão gerada, ajustando os parâmetros elétricos para a realização do sincronismo e do controle de fluxo de potência ativa. Os resultados foram obtidos a partir da simulação, da validação e da implementação da técnica realizada em VHDL e embarcada em FPGA. Os resultados experimentais foram aplicados a um grupo gerador formado por um motor a diesel monocilindro acoplado a um gerador trifásico auto excitável composto. Para realizar a aceleração do motor a diesel, utilizou-se um atuador eletromecânico composto por um motor CC com caixa de redução. Apesar da técnica ter se mostrado satisfatória para a realização do sincronismo de geradores síncronos acionados por motores diesel, os dispositivos empregados nos testes experimentais não foram ideais para que o sincronismo do sistema com a rede elétrica fosse alcançado.

Abstract of Dissertation presented to UFMS as a partial fulfillment of the requirements for the degree of Master in Electrical Engineering.

# **Tool to Perform the Synchronism of Synchronous Generator With Grid Using Single-Phase PLL Technique Embedded in FPGA**

**Luis Henrique Guimarães Corbelino**

December/2012

Advisor: Luciana Cambraia Leite, Doutora.

Area of Concentration: Energy.

Keywords: FPGA, instantaneous power theory, synchronous generator, Phased locked loop

Number of Pages: 62.

This work presents the development, simulation and implementation of an automated system to perform parallelism between the electrical generator and the grid, and also the control of active power flow. The technique estimates the phase angle and frequency of the voltages through a PLL circuit based on three-phase instantaneous power theory. These parameters are used to control the speed of the generator hence and the frequency and phase of the voltage generated, adjusting these electrical parameters to perform the synchronization with the grid and to provide the control of active power flow. The results were obtained with the simulation, validation and implementation of the technique performed in VHDL embedded in FPGA. The experimental results were applied to an engine-generator consisting of a single cylinder diesel engine coupled to a self-excited compound three-phase synchronous generator. To adjust the diesel engine governor position an electromechanical actuator composed by a DC motor with reduction gear was used. Although the technique have been shown satisfactory results to perform the synchronization of synchronous generator powered by diesel engines, the devices used at experimental tests were not suitable to reach the synchronism of the system with the grid.

# Sumário

---

1.	INTRODUÇÃO.....	12
2.	PARALELISMO E SINCRONISMO DE GERADORES .....	15
2.1.	TRANSFERÊNCIA DE POTÊNCIA .....	16
2.2.	PLL.....	19
2.3.	PLL BASEADO NA TEORIA DE POTÊNCIA INSTANTÂNEA.....	20
2.3.1	<i>PLL Monofásico</i> .....	22
3.	DESENVOLVIMENTO E IMPLEMENTAÇÃO.....	25
3.1.	SIMULAÇÃO .....	25
3.2.	CONDICIONAMENTO DE SINAIS E CIRCUITO DE POTÊNCIA.....	30
3.3.	FPGA .....	33
4.	RESULTADOS.....	37
4.1.	VALIDAÇÃO DA TÉCNICA .....	40
4.2.	TESTES DO PLL EMBARCADO.....	45
4.3.	RESULTADOS EXPERIMENTAIS FPGA .....	49
5.	CONCLUSÃO E DISCUSSÕES.....	53
5.1.	SUGESTÃO PARA TRABALHOS FUTUROS.....	54
6.	REFERÊNCIAS BIBLIOGRÁFICAS.....	56

# Índice de Figuras

---

FIGURA 2.1	ESQUEMÁTICO UNIFILAR DO PARALELISMO .....	17
FIGURA 2.2	DIAGRAMA FASORIAL DE UM GERADOR .....	17
FIGURA 2.3	DIAGRAMA FASORIAL ESCALONADO .....	18
FIGURA 2.4	GRÁFICO DA POTÊNCIA TRANSFERIDA EM RELAÇÃO AO ÂNGULO DE DEFASAGEM DAS TENSÕES. 19	
FIGURA 2.5	ESQUEMÁTICO DE UM PLL.....	20
FIGURA 2.6	ESQUEMÁTICO DE UM PLL BASEADO NA TEORIA DA POTÊNCIA INSTANTÂNEA.....	22
FIGURA 2.7	A) TENSÕES <i>abc</i> BALANCEADAS E SIMÉTRICAS; B) TRANSFORMADA $\alpha\beta$ DAS TENSÕES APRESENTADAS NO GRÁFICO A).....	23
FIGURA 2.8	ESQUEMÁTICO DO PLL MONOFÁSICO PELO MÉTODO DO <i>TRANSPORT DELAY</i> (TD).....	23
FIGURA 3.1	SIMULAÇÃO DO SISTEMA DE SINCRONISMO AUTOMÁTICO EMPREGANDO A TÉCNICA DE PLL MONOFÁSICO RESETÁVEL.....	26
FIGURA 3.2	COMPONENTES QUE COMPÕEM O BLOCO <i>ENGINE</i> . .....	27
FIGURA 3.3	COMPONENTES QUE COMPÕEM O BLOCO DE CONTROLE. ....	27
FIGURA 3.4	BLOCO DO CONTROLE DE ACELERAÇÃO .....	28
FIGURA 3.5	DIFERENÇA ENTRE OS ÂNGULOS DAS TENSÕES GERADAS E DA REDE.....	29
FIGURA 3.6	DIFERENÇA ENTRE AS TENSÕES GERADA E DA REDE.....	29
FIGURA 3.7	TRANSFORMAÇÃO DE NÍVEL DE TENSÃO E GERAÇÃO DE REFERÊNCIA. ....	30
FIGURA 3.8	CIRCUITO DE CONDICIONAMENTO DE SINAL COM O AMPLIFICADOR OPERACIONAL .....	31
FIGURA 3.9	ESQUEMÁTICO DO CIRCUITO DO CONVERSOR A/D.....	32
FIGURA 3.10	ESQUEMÁTICO DO CIRCUITO DE POTÊNCIA COM O CI L6203. ....	33
FIGURA 3.11	PROBLEMA DA BIBLIOTECA SFIXED NO PLL. ....	34
FIGURA 3.12	PLACA DE DESENVOLVIMENTO <i>CYCLONE III</i> COM O SINAL DE ENTRADA E O ÂNGULO DE FASE RASTREADO PELO PLL ESCRITOS NO DISPLAY LCD.....	36
FIGURA 4.1	GRUPO GERADOR DE TESTE .....	37
FIGURA 4.2	GOVERNADOR ACIONADO POR MOTOR CC COM CAIXA DE REDUÇÃO. ....	39



FIGURA 4.3	(A) ÂNGULO DE FASE DAS SENÓIDES DO GRÁFICO (C); (B) SENO DA METADE DA DIFERENÇA DOS ÂNGULOS DE FASE MOSTRADOS EM (A); (C) SINAIS DE ENTRADA DO PLL: SENOIDE EM 60 Hz (LARANJA) E SENOIDE VARIANDO DE 40 A 60 Hz (PRETO). .....	41
FIGURA 4.4	ESQUEMÁTICO DO SISTEMA IMPLEMENTADO NO DSPACE®. ....	41
FIGURA 4.5	INTERFACE DO SUPERVISÓRIO NO CONTROL DESK. ....	42
FIGURA 4.6	ANÁLISE DE OSCILAÇÃO MÁXIMA E MÍNIMA DA TENSÃO GERADA (TONS DE AZUL) EM RELAÇÃO A TENSÃO DA REDE (VERMELHO). ....	43
FIGURA 4.7	DIFERENÇA DE FREQUÊNCIA ANTES E APÓS O CONTROLADOR DA MALHA DE FREQUÊNCIA.....	44
FIGURA 4.8	DIFERENÇA DE FASE ANTES E APÓS O CONTROLADOR DE FASE. ....	45
FIGURA 4.9	KIT CYCLONE III DEVELOPMENT BOARD .....	46
FIGURA 4.10	TESTE DE FUNCIONAMENTO DO PLL COM SINAIS DA REDE EM 60 Hz (VERMELHO) E SINAL DO G.F. EM 63 Hz (PRETO). (A) ÂNGULO DE FASE DOS SINAIS APRESENTADOS EM (B); (B)TENSÕES DE ENTRADA NORMALIZADAS; (C) FREQUÊNCIA DAS TENSÕES.....	47
FIGURA 4.11	TESTE DE DESEMPENHO DO PLL COM SINAL SENOIDAL DO G. F. VARIANDO DE 40Hz A 80Hz. NO RETÂNGULO A INDICAÇÃO DA FAIXA ESTÁVEL DE FUNCIONAMENTO. (A) ÂNGULO DE FASE DO SINAL APRESENTADO EM (B); (B)TENSÃO DE ENTRADA NORMALIZADA; (C) FREQUÊNCIA DA TENSÃO APRESENTADA EM (B). ....	48
FIGURA 4.12	TESTE DE ROBUSTEZ DO PLL COM SINAL TRIANGULAR DO G. F. EM 60 Hz (VERMELHO). (A) ÂNGULO DE FASE DO SINAL APRESENTADO EM (B); (B)TENSÃO DE ENTRADA NORMALIZADA; (C) FREQUÊNCIA DA TENSÃO APRESENTADA EM (B).....	48
FIGURA 4.13	DIAGRAMA DO SISTEMA DE SINCRONISMO. ....	49
FIGURA 4.14	MONTAGEM DOS TESTES REALIZADOS COM O FPGA.....	50
FIGURA 4.15	ANÁLISE DE OSCILAÇÃO MÁXIMA DA TENSÃO GERADA (TONS DE AZUL) EM RELAÇÃO A TENSÃO DA REDE (VERMELHO).....	50
FIGURA 4.16	DIFERENÇA DE FREQUÊNCIA NA ENTRADA DO CONTROLADOR DA MALHA DE FREQUÊNCIA E O SINAL DE SAÍDA DO CONTROLADOR DUTY CYCLE/10. ....	51
FIGURA 4.17	DIFERENÇA DE FASE ANTES DO CONTROLADOR DE FASE E O SINAL DE SAÍDA DO CONTROLADOR, A FREQUÊNCIA. ....	52

# Lista de Abreviaturas e Siglas

---

<b>Símbolo</b>	<b>Significado</b>
A/D	Analógico Digital
PLL	Phased Locked Loop
CI	Circuito Integrado
D/A	Digital Analógico
FPGA	Field Programmable Gate Arrays
LUT	Lookup table
TTL	Transistor-Transistor Logic
IIR	Infinite impulse response
JTAG	Joint Test Action Group
UART	Universal asynchronous receiver/transmitter
IDE	Integrated Development Environment
CMOS	Complementary Metal-Oxide-Semiconductor
SOPC	System On a Programmable Chip Builder
VHDL	Very High Speed Integrated Circuits Hardware Description Language
DF	Detector de Fase
OCT	Oscilador controlado por tensão
FPB	Filtro passa baixa
BATLAB	Laboratório de Inteligência Artificial, Eletrônica de Potência e Sistemas
Digitais da UFMS	
UFMS	Universidade Federal do Mato Grosso do Sul
PWM	Pulse Width Modulation
FN	Fase Neutro

PI	Proporcional e Integrativo
PD	Proporcional e Derivativo

<b>Símbolo</b>	<b>Significado</b>	<b>unidade</b>
$\omega$	frequência da rede	rad/s
$\omega_{ss}$	frequência da rede	rad/s
$\theta$	ângulo de fase	rad
V	tensão elétrica	Volts
I	Corrente elétrica	A
Q	Potência reativa	VAr
P	Potência ativa	W
XL	Impedância de Ligação	ohm
$\delta$	ângulo de defasagem da tensão	rad

# Índice de tabelas

---

TABELA 3.1	RECURSOS DO HARDWARE PROTOTIPADO.....	35
TABELA 4.1	DADOS DO MOTOR A DIESEL.....	38
TABELA 4.2.	DADOS DO GERADOR.....	38
TABELA 4.3.	DADOS DA PLACA DE DESENVOLVIMENTO CYCLONE III.....	46

# 1. Introdução

---

As fontes geradoras de sistemas elétricos de diversos países, dentre eles o Brasil, tem como principal conversor energético geradores síncronos, empregados em sistemas com acionamento eólico, hidráulico ou termoelétrico (PATEL, 2006) (SUNI et al, 2010). A composição da matriz energética depende de fatores sazonais, de demanda, regionais e econômicos. Sendo assim, a composição das fontes geradoras está em constante alteração, fazendo com que os novos geradores sejam adicionados à rede ou substituídos.

Para que ocorra a interligação de um sistema gerador a outro deve se atender a alguns parâmetros, caso contrário essa conexão pode não ocorrer ou pode, inclusive, danificar equipamentos interligados às redes (TA-HSIU et al, 2011). Além da conexão física idêntica entre as fases dos sistemas, parâmetros elétricos como a amplitude das tensões, a frequência e o ângulo de fase, devem ser iguais em ambos os sistemas (TA-HSIU et al, 2011). Este ajuste dos parâmetros elétricos, também conhecido como sincronismo, de forma a torná-los idênticos de um sistema em relação ao outro nem sempre é feito através de métodos automáticos. Manualmente, o sincronismo é realizado com instrumentos que indicam a queda de tensão entre as fases a serem interligadas. Eventualmente, a automação do processo de sincronismo emprega a técnica do *zero crossing* para calcular a frequência e a fase (BEKIROGLU et al, 2009) .

A partir do desenvolvimento da teoria da potência instantânea passou-se a utilizar o PLL, até então comumente aplicado na eletrônica, em filtros ativos para compensação de harmônicos (AKAGI, 2007) (LOPES, 2003). Este tipo de PLL também se mostra eficiente em sistemas de paralelismo de inversores e controle de transferência de potência ativa como apresentado em (GODOY, 2010).

O fluxo de corrente entre dois sistemas é comumente medido com o uso de um sensor de corrente. Em sistemas com corrente alternada, principalmente onde ocorre a geração, é necessário o uso de uma indutância de ligação a fim de que a

potência ativa a ser transferida de um sistema para o outro, possa ser calculada apenas pela defasagem da tensão entre os sistemas (MCGOWAN et all, 2008).

O emprego de motores a diesel em sistemas de geração distribuída, sistemas de backup e sistemas isolados é largamente difundido devido a sua confiabilidade, facilidade de armazenamento do combustível por ser pouco inflamável, custo de implantação e eficiência no consumo de combustível, quando se comparado com outros motores a combustão (HERZOG, 2002) (LORA, 2006).

O sincronismo de grupos geradores a diesel raramente é realizado de forma automática através do ajuste da sua velocidade, devido às características não lineares do controle de velocidade inerente aos motores a diesel (SEUNG et all, 2006). Alguns sistemas usam o gerador diesel em conjunto com um inversor, assim a energia é gerada, retificada, e só depois repassada a um inversor, cuja dinâmica é mais rápida e de fácil controle e, conseqüentemente, o sincronismo (FIORAVANTI et all, 2002) (HU et all, 2002). Esta abordagem é eficiente, porém, aumenta a complexidade e o custo do sistema.

Durante os últimos anos, dispositivos lógicos programáveis como FPGAs, vêm se popularizando entre desenvolvedores de áreas como telecomunicações, processamento de imagem e sinais entre, outras. Parte disso se deve a sua flexibilidade, rápida prototipagem e a possibilidade de desenvolvimento de arquiteturas que funcionam em paralelo, além da redução do custo dos dispositivos (BROWN et all, 2002) (MONMASSON et all, 2007). Em (FIORAVANTI et all, 2002) pode ser encontrado a utilização de FPGA no controle de sincronismo e fluxo de potência de um gerador a diesel, empregando um retificador e um inversor.

## **Objetivo**

Este trabalho propõe a implementação em hardware, em FPGA, de uma técnica para a realização do sincronismo automático entre a tensão produzida por um gerador síncrono acionado por um motor a diesel e a rede de distribuição. O objetivo principal está dividido nas seguintes etapas de desenvolvimento.

- Validação da técnica implementada no dSPACE®;

- Desenvolvimento dos circuitos de condicionamento de sinais e circuito de acionamento;
- Desenvolvimento do algoritmo de sincronismo PLL monofásico em VHDL;
- Implementação do algoritmo de sincronismo em FPGA;
- Realização de testes de sincronismo com o grupo gerador;
- Investigação da transferência de potência entre gerador e rede de distribuição.

### **Organização do trabalho**

Este trabalho, tendo a introdução como Capítulo 1, está organizado da seguinte forma:

- no Capítulo 2 são introduzidos os princípios de paralelismo e sincronismo e o desenvolvimento teórico da equação de transferência de potência, em sistemas de corrente alternada. Neste capítulo também é demonstrada a teoria do desenvolvimento do PLL baseado na teoria da potência instantânea e sua variante o PLL monofásico.
- O Capítulo 3 descreve a metodologia aplicada no desenvolvimento do trabalho e os circuitos de condicionamento e acionamento.
- No Capítulo 4 são apresentados os resultados da simulação, da validação realizada com a placa de aquisição dSpace em integração com a ferramenta do MATLAB® Simulink® e os resultados experimentais feitos com a implementação da técnica em FPGA.
- As conclusões da pesquisa e sugestão para trabalhos futuros são descritos no Capítulo 5.

## 2. Paralelismo e Sincronismo de Geradores

---

Como citado no capítulo anterior, a matriz energética é composta de diversas fontes geradoras de energia, funcionando em paralelo através de linhas de transmissão. O emprego de geradores funcionando em paralelo, de forma distribuída, garante a robustez do sistema e aumenta a sua eficiência (BEKIROGLU et al, 2009) (GUERRERO, 2011). Deste modo sempre será necessário a inserção de novos geradores, ou a substituição de um já existente.

Para que ocorra a inserção de geradores ligados em paralelo na mesma rede de transmissão, alguns de seus parâmetros precisam ser ajustados antes que ocorra a conexão entre o gerador e a rede (LORA, 2006). São eles:

- 1- Frequência;
- 2- Defasagem entre as tensões;
- 3- Amplitude da tensão;
- 4- Sequência de fases.

Todos estes parâmetros precisam ser iguais entre o gerador e a rede para que não ocorram danos nem ao gerador nem aos elementos ligados à rede de distribuição.

A falta de sincronismo durante a conexão entre fontes ou sistemas geradores pode ocasionar vários problemas. As diferenças entre os parâmetros das duas tensões (gerador e rede) estão relacionadas com os seguintes eventos:

- Diferenças entre as amplitudes das tensões:  
O fornecimento de reativos está ligado a diferença de amplitude das tensões, portanto, o sistema que possui a maior amplitude fornecerá potência reativa para o outro sistema.
- Diferença entre os ângulos de fase:  
A defasagem de ângulo entre as tensões é o que determina a direção e o módulo do fluxo de potência ativa entre os sistemas.
- Diferença entre as frequências:



A igualdade entre as frequências visa manter as tensões em fase. Porém, se não existe diferença de fase e a diferença de frequência for grande, o sistema de barramento mais forte tentará fazer com que o sistema mais fraco iguale a frequência instantaneamente, o que, provavelmente, resultará na falha da tentativa de conexão.

(TA-HSIU et al, 2011)

Os métodos clássicos de sincronismo se baseiam na utilização de sincrocópio ou de lâmpadas de sincronismo. Ambos os métodos empregam equipamentos que usam a diferença potencial elétrico causado pela defasagem entre a tensão gerada e a tensão da rede (PATEL, 2006). Estes métodos indicam a defasagem de forma qualitativa e não quantitativa, não podendo ser empregados como variáveis de controle em sistemas realimentados.

Alguns métodos automáticos de sincronismo fazem o uso do *zero crossing* para calcular a frequência e a diferença de fase (BEKIROGLU et al, 2009). Entretanto ruídos na aquisição podem causar falsos ou múltiplos crossing zeros o que pode resultar em erros de cálculos.

## **2.1. Transferência de Potência**

Neste capítulo são desenvolvidas as equações referentes a transferência de potência.

Para que ocorra transferência de potência entre o gerador e a rede, em sistemas com corrente alternada interligados em paralelo é necessário que haja uma impedância de ligação  $X_L$ , como demonstrado no esquemático unifilar na Figura 2.1. Onde está representado a tensão do gerador como  $E$  com a sua impedância  $X_G$ , e a tensão da rede como  $V$  com a sua impedância  $X_M$ .

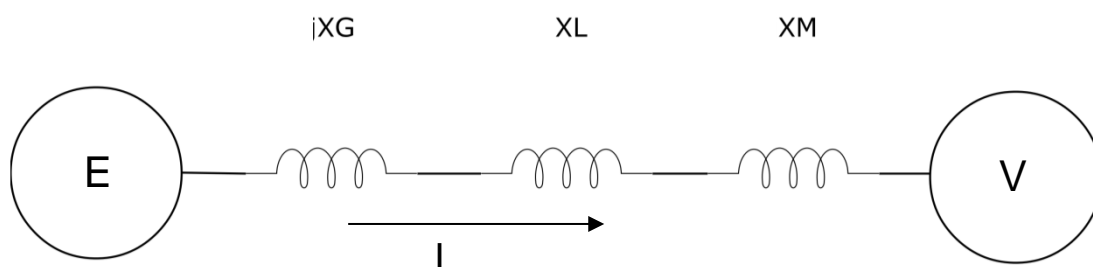


Figura 2.1 Esquemático unifilar do paralelismo

Somando todas as impedâncias do diagrama unifilar da Figura 2.1 (impedância do gerador, impedância de ligação e impedância da carga) resulta na impedância de interligação entre as “fontes” geradora e consumidora, ou seja,  $X$ . O diagrama fasorial desenvolvido a partir da impedância total e das tensões gerada e da rede apresentadas na Figura 2.1, pode ser observado na Figura 2.2.

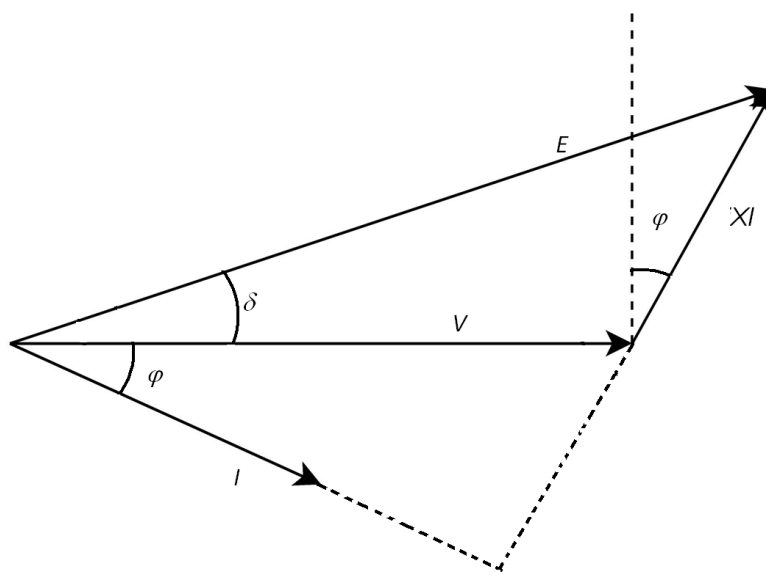


Figura 2.2 Diagrama fasorial de um gerador

A partir do diagrama fasorial pode-se observar que caso o ângulo  $\varphi$ , que é o ângulo de defasagem da corrente gerado pela impedância  $X$ , seja igual a zero, a impedância é puramente resistiva, portanto, o sistema fornece somente energia ativa. Assim, ao multiplicar os termos pela razão da tensão da rede  $V$  pela impedância  $X$ , como demonstrado na Figura 2.3, escalona-se o gráfico de modo que a reta da corrente multiplicada pela impedância ( $XI$ ) seja à potência aparente

S, o eixo x a potência reativa (Q) e o eixo y a potência real (P), de acordo com a Equação 2.1.

$$S = P + jQ = VI = VI \cos(\varphi) + jVI \sin(\varphi) \quad (2.1)$$

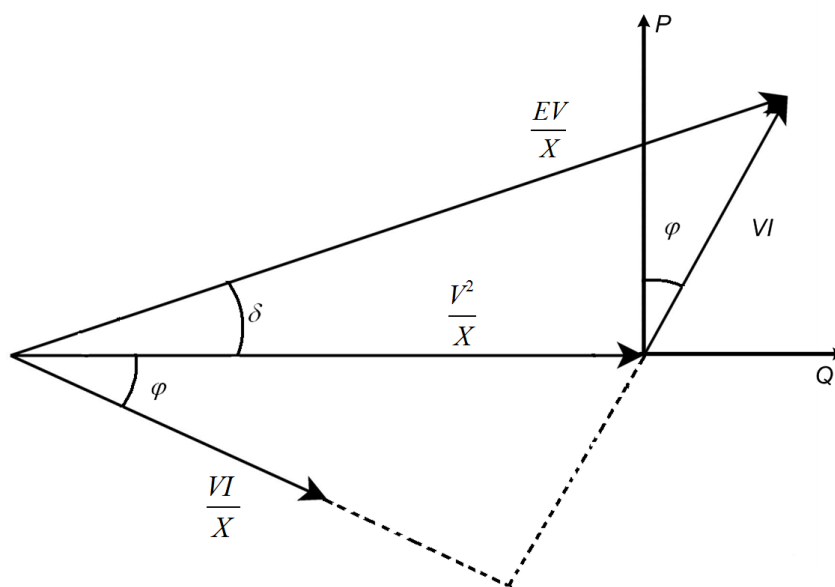


Figura 2.3 Diagrama fasorial escalonado

Como pode ser observado na Figura 2.3 o ângulo  $\varphi$  está diretamente relacionado ao ângulo de defasagem entre as tensões  $\delta$ . Ao decompor a potência aparente  $S$  em potência real, corresponde a decompor a reta  $\frac{E.V}{X}$  no eixo  $P$  (LORA, 2006), como demonstrado na Equação 2.2.

$$P = V \cdot I \cdot \cos(\varphi) = \frac{E.V}{X} \cdot \text{sen}(\delta) \quad (2.2)$$

Uma vez que a impedância de ligação e o módulo das tensões, em regime permanente, não se alteram, a potência ativa transferida de um sistema para o outro (do gerador para a rede de distribuição) está relacionada com o ângulo de defasagem entre as tensões ( $\delta$ ) (MELO, 1983).

Variando-se  $\delta$  na Equação 2.2 obtêm-se o gráfico da potência transferida pelo gerador, como pode ser observado na Figura 2.4.

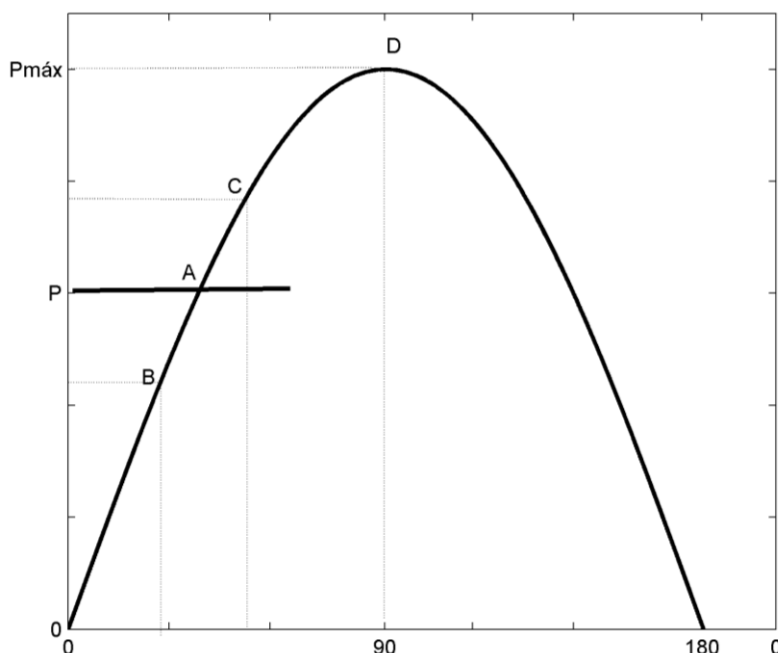


Figura 2.4 Gráfico da potência transferida em relação ao ângulo de defasagem das tensões.

Considerando que o sistema esteja trabalhando em regime permanente no ponto A e transferindo potência P para a rede, devido a inércia do motor e oscilações da carga, a faixa de operação da potência transferida estará compreendida entre B e C. A potência máxima possível de ser transferida ocorre no ponto D com  $90^\circ$  de defasagem.

Conforme demonstrado nesse capítulo, sabendo a indutância de ligação, é possível realizar o controle de transferência de potência ativa apenas pela defasagem do ângulo da tensão gerada em relação à tensão da rede.

## 2.2. PLL

Amplamente usados em telecomunicações, PLL ou *phased locked loop* é um circuito que gera um sinal de mesma fase e frequência da componente fundamental do sinal de entrada.

Um PLL é composto de três partes: um detector de fase (DF), um filtro passa baixa (FPB) e um oscilador controlado por tensão (OCT), conforme pode ser observado no esquemático do PLL na Figura 2.5.

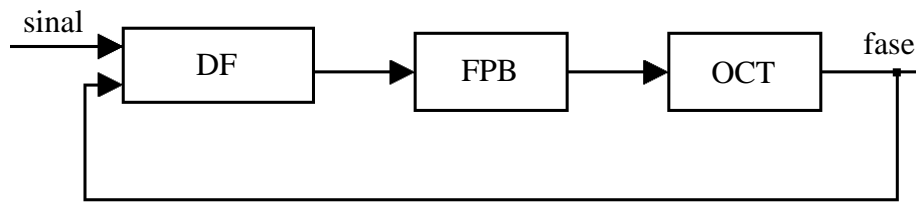


Figura 2.5 Esquemático de um PLL

### 2.3. PLL Baseado na Teoria de Potência Instantânea

Baseando-se na teoria da potência instantânea pode-se criar um circuito que, a partir do cálculo de uma potência instantânea fictícia, realize de forma eficiente a função de um PLL, conforme demonstrado em (AKAGI, 2007).

A Teoria p-q utiliza as tensões trifásicas em conjunto como um único sistema. Para tanto aplica-se a transformada de Clarke ou transformada  $\alpha\beta$  nas tensões trifásicas  $abc$  resultando na entrada do PLL, apresentada na Equação 2.3 (Da Silva et all, 2009)

$$\begin{bmatrix} v_\beta \\ v_\alpha \end{bmatrix} = \sqrt{\frac{1}{2}} \begin{bmatrix} 1 & -\frac{1}{2} & -\frac{1}{2} \\ 0 & \frac{\sqrt{3}}{2} & -\frac{\sqrt{3}}{2} \end{bmatrix} \begin{bmatrix} v_a \\ v_b \\ v_c \end{bmatrix} \quad (2.3)$$

A teoria da potência instantânea no funcionamento do PLL é empregada apenas como detector de fase. O detector de fase é desenvolvido através do cálculo da potência instantânea ativa ou reativa, como visto na Equação 2.4, produzindo duas variações de PLL o pPLL e o qPLL, que se diferem apenas no cálculo da potência, obtendo os mesmos resultados práticos. Outras variações do cálculo de rastreamento de fase são apresentadas em (FILHO et all, 2006)

$$\begin{bmatrix} p \\ q \end{bmatrix} = \begin{bmatrix} v_\alpha & v_\beta \\ v_\beta & -v_\alpha \end{bmatrix} \begin{bmatrix} i_\alpha \\ i_\beta \end{bmatrix} \quad (2.4)$$

Aplicando-se o cálculo da potência instantânea em um sistema com as tensões apresentadas na Equação 2.5, ou seja, simétricas e equilibradas, pode-

se observar que a potência instantânea gerada  $p$  possui valor nulo quando a corrente está atrasada e ortogonal a tensão, como pode ser observado na Equação 2.6. A potência reativa  $q$  é apresentada na Equação 2.7.

$$\begin{cases} v_a(t) = \sqrt{2} V \sin(\omega t) \\ v_b(t) = \sqrt{2} V \sin\left(\omega t - \frac{2\pi}{3}\right) \\ v_c(t) = \sqrt{2} V \sin\left(\omega t + \frac{2\pi}{3}\right) \end{cases} \begin{cases} i_a(t) = \sqrt{2} I \sin(\omega t + \varphi) \\ i_b(t) = \sqrt{2} I \sin\left(\omega t - \frac{2\pi}{3} + \varphi\right) \\ i_c(t) = \sqrt{2} I \sin\left(\omega t + \frac{2\pi}{3} + \varphi\right) \end{cases} \quad (2.5)$$

$$p = 3VI \cos(\varphi) \quad (2.6)$$

$$q = -3VI \sin(\varphi) \quad (2.7)$$

O cálculo da potência instantânea ativa realizado no PLL não está relacionado com a potência efetiva do sistema. Portanto, as correntes utilizadas no cálculo são consideradas fictícias, ortogonais e atrasadas em relação à tensão,  $i'_\alpha = \sin(\theta - \pi)$  e  $i'_\beta = \sin(\theta - \pi/2)$ , em que  $\theta$  é o ângulo rastreado pelo PLL. Assim, quando a tensão de entrada não estiver com o mesmo ângulo rastreado pelo PLL a potência instantânea fictícia será diferente de zero, ajustando o ângulo de saída do PLL.

O sistema realimentado com o ângulo de fase rastreado tende a oscilar em baixas frequências. Desta forma, para minimizar, esta oscilação insere-se um controlador PI atuando como um filtro passa baixa. A saída do controlador PI resulta na variação da frequência da tensão de entrada. Para melhorar a resposta dinâmica do sistema adiciona-se à saída do controlador a frequência de regime permanente ( $\omega_{ss}$ ), cujo sistema a 60 Hz é 377 rads/s, resultando na frequência da tensão de entrada ( $\omega$ ).

A obtenção do ângulo de fase da tensão de entrada é feita integrando a frequência calculada. Na Figura 2.6 está demonstrado o esquemático de um PLL baseado na teoria da potência instantânea.

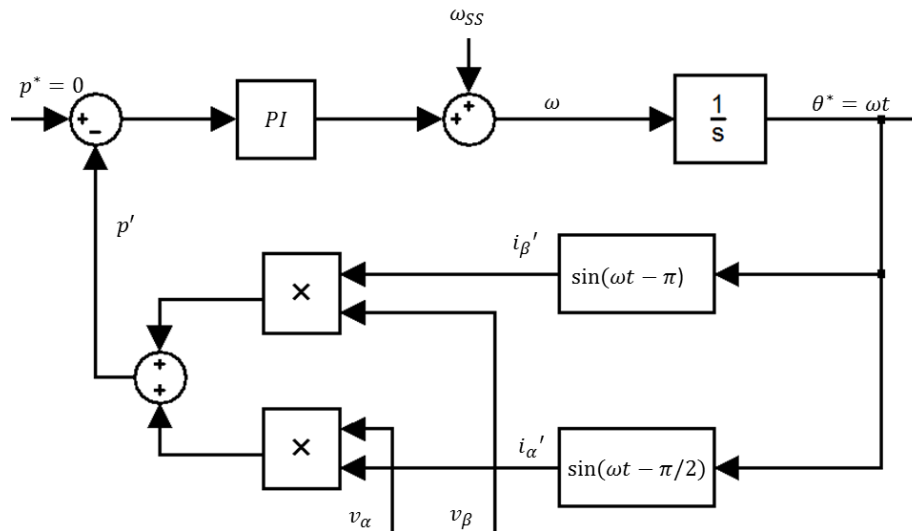


Figura 2.6 Esquemático de um PLL baseado na teoria da potência instantânea.

### 2.3.1 PLL Monofásico

Com a finalidade de diminuir a quantidade de sensores necessários para realizar o sincronismo, emprega-se o PLL monofásico necessitando de apenas dois sensores de tensão. Isto é possível pois ao pressupor que em um gerador trifásico as tensões geradas são simétricas e equilibradas, fazendo com que a análise e a correção da defasagem da tensão de uma fase ajuste, por consequência, as outras duas.

A transformada de Clarke das tensões  $abc$  resulta em dois sinais defasados entre si de  $\pi/2$  graus, conforme visto na Figura 2.7.

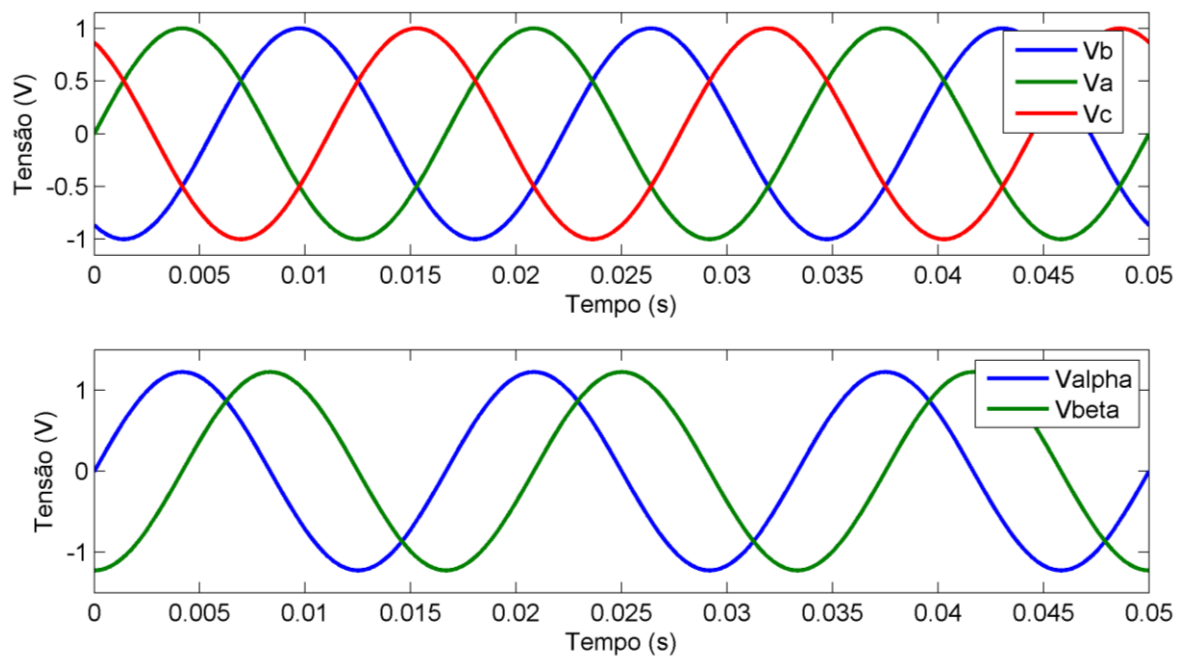


Figura 2.7 a) tensões  $abc$  balanceadas e simétricas; b) transformada  $\alpha\beta$  das tensões apresentadas no gráfico a).

Para simular a transformada  $\alpha\beta$  pode-se atrasar o sinal de tensão de uma fase em  $\pi/2$  graus, criando uma tensão fictícia  $v_{\beta}'$  para compor as entradas, sendo  $v_{\alpha}$  o sinal de tensão da rede. Este método é conhecido como *Transport Delay* (DA SILVA et al, 2009). O PLL monofásico com TD pode ser visto como um esquemático na Figura 2.8.

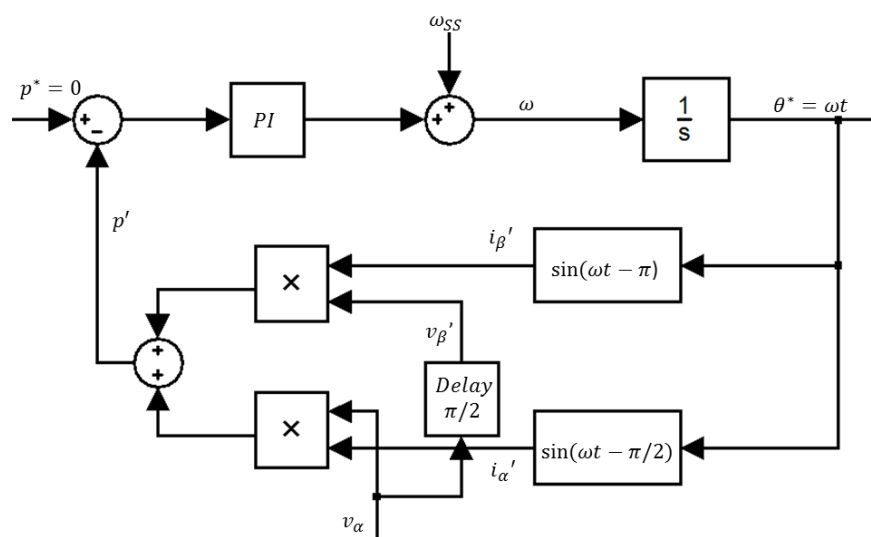


Figura 2.8 Esquemático do PLL monofásico pelo método do *Transport Delay* (TD).



A teoria apresentada neste capítulo será desenvolvida nos capítulos a seguir para a implementação e testes com um gerador síncrono acionado por um motor a diesel.

## 3. Desenvolvimento e Implementação

---

Neste capítulo estão descritas e detalhadas as etapas do desenvolvimento para a implementação do sistema automático de sincronismo.

Inicialmente foram realizadas simulações da técnica proposta de sincronismo, para testar a teoria em um sistema automático.

### 3.1. Simulação

A simulação da técnica de sincronismo automático foi realizada, com a ferramenta Simulink® do software MATLAB®, durante o processo de desenvolvimento do sistema.

A simulação foi realizada utilizando-se uma fonte de alimentação ligada a cargas resistivas e reativas, simulando uma rede elétrica mostrada no elemento 4 da Figura 3.1. Esta fonte está interligada a um gerador síncrono trifásico, mostrado no elemento 2, por uma chave de ligação (elemento 3) da Figura 3. O gerador síncrono é acionado por um motor (elemento 1), e este tem sua velocidade controlada pelo bloco de controle visto em 5 na Figura 3.1.

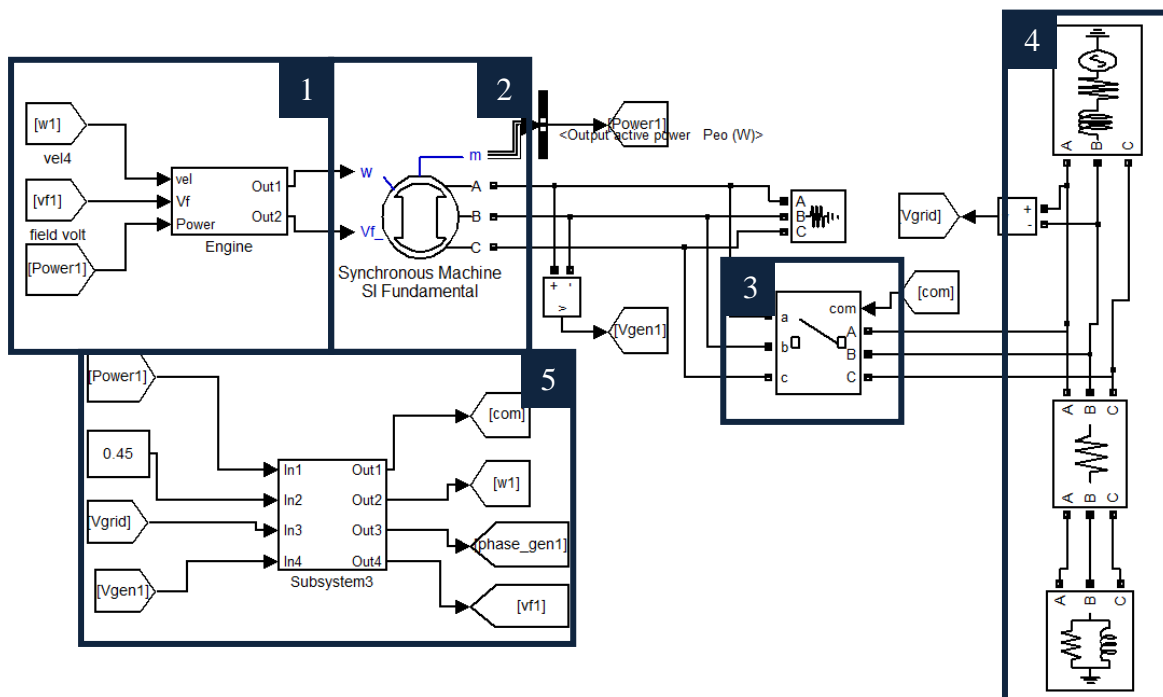


Figura 3.1 Simulação do sistema de sincronismo automático empregando a técnica de PLL monofásico resetável.

Para simular o motor, apresentado em 1 na Figura 3.1, foi empregado uma função simplificada de uma máquina primária, que tem como entradas a velocidade do motor e a potência consumida do gerador síncrono, fazendo com que a velocidade do motor seja alterada através do consumo de potência do gerador. O bloco motor tem como saídas a velocidade angular e a tensão de excitação de campo, que são entradas do gerador síncrono.

A aceleração inicial do motor é dada por uma função rampa que acelera até a velocidade nominal do gerador. Neste bloco, encontra-se também a tensão de campo do gerador, apenas para adicionar a aceleração inicial do motor como ocorre em um gerador síncrono. A visualização dos elementos contidos no bloco *Engine* pode ser encontrada na Figura 3.2.

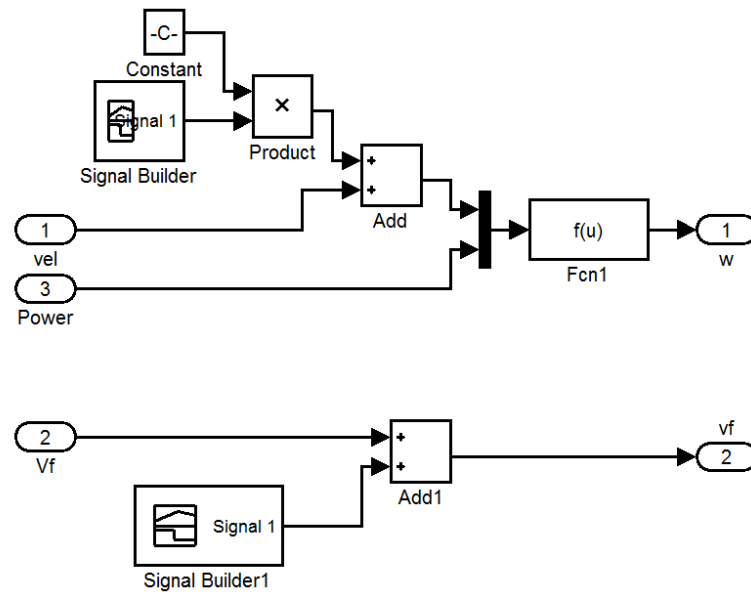


Figura 3.2 Componentes que compõem o bloco *Engine*.

O bloco de controle (item 5) da Figura 3.1 é composto por quatro controladores: controlador de potência ativa, controlador de potência reativa, controlador da tensão de excitação do gerador e controlador de aceleração. Os controles de tensão e aceleração são os responsáveis pelo sincronismo do gerador, os demais controladores entram em funcionamento somente após o sincronismo ocorrer acionados pelo bloco *step*, como é mostrado na Figura 3.3. Os blocos de controle *power control* e *reactive control* são compostos por controladores PIs que ajustam o fornecimento de ativos e reativos fornecidos pelo gerador conforme desejado.

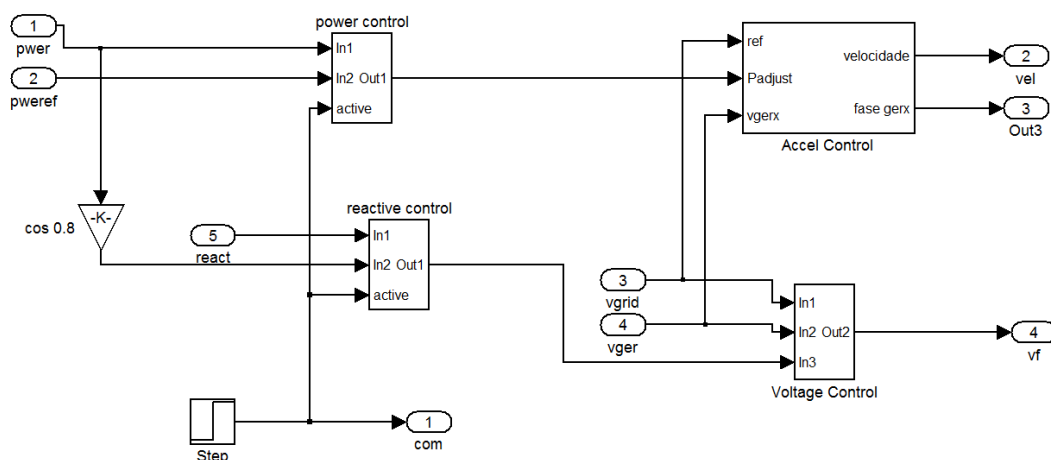


Figura 3.3 Componentes que compõem o bloco de controle.

A estratégia de controle aplicada à simulação baseia-se na utilização de dois PLL em configuração resetável, de modo que quando a fase de saída de um deles for maior ou igual a  $2\pi$ , os integradores de ambos os PLL subtraem em  $2\pi$  a última saída de ângulo resultando no novo estado. Este método de PLL resetável foi desenvolvido visando diminuir o tamanho das variáveis durante a implementação. As saídas de ângulo de fase dos PLL são então subtraídas, resultando no erro de fase, que após passar por um controlador PI obtém-se a velocidade angular do motor  $\omega$ . Na Figura 3.4 o sistema do controle de aceleração pode ser observado.

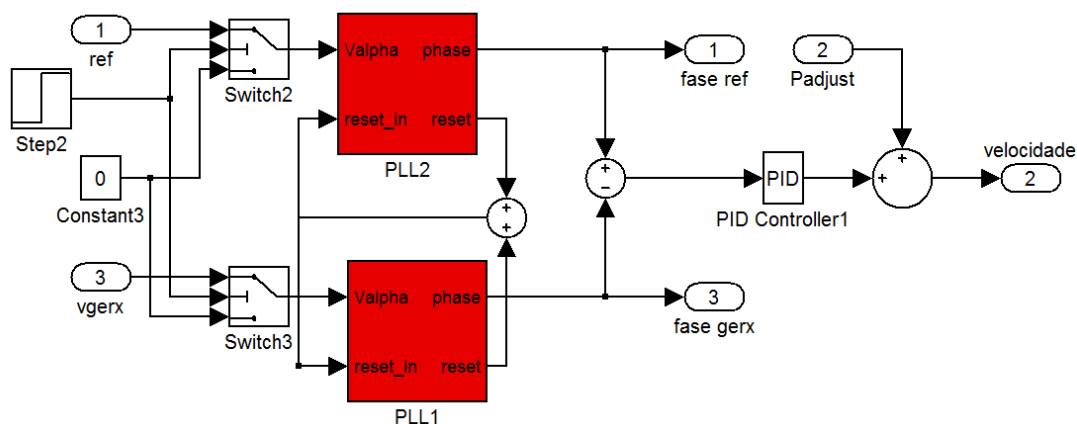


Figura 3.4 Bloco do controle de aceleração

Durante os 10 segundos iniciais da simulação os sinais de entrada dos controladores são desligados, para que a atuação não interfira na partida do motor, até que o gerador alcance a estabilidade na velocidade nominal. A resposta do sistema ao controle de frequência-fase é representada pelo gráfico da diferença entre os ângulos das tensões gerada e da rede como pode ser visualizada na Figura 3.5.

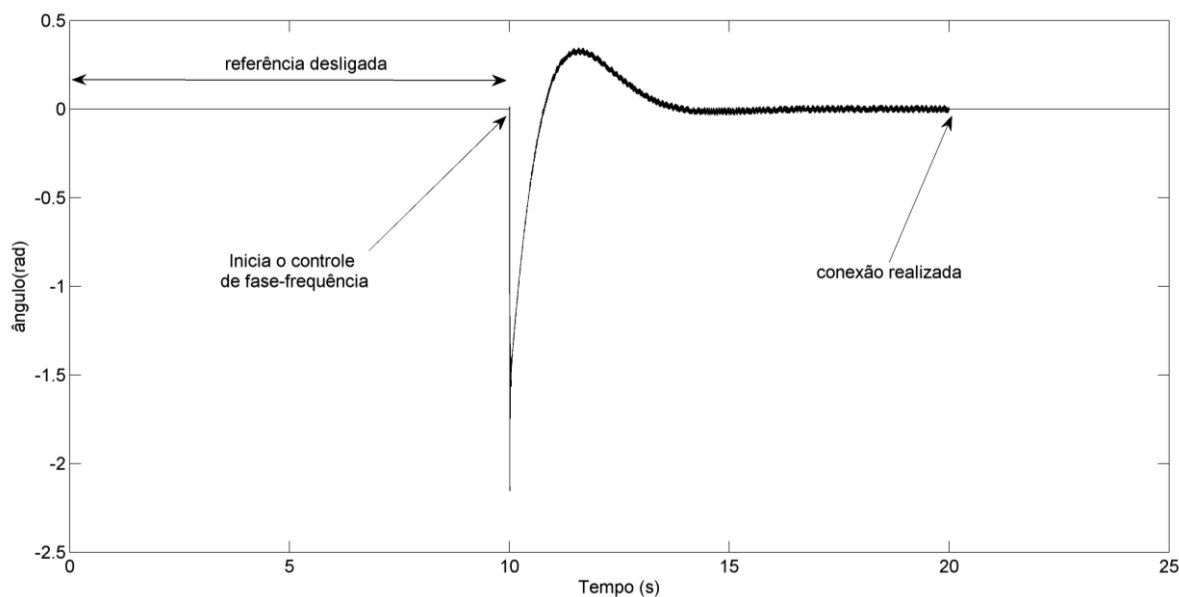


Figura 3.5 Diferença entre os ângulos das tensões geradas e da rede.

O controlador da tensão de excitação do gerador é realizado pelo bloco *Voltage control* ( Figura 3.3). O ajuste é realizado através do erro tensões RMS (*root mean square*) feito por um controlador PI. A resposta do sistema ao controlador de tensão é apresentada na Figura 3.6, representada pelo gráfico da diferença entre as tensões gerada e da rede.

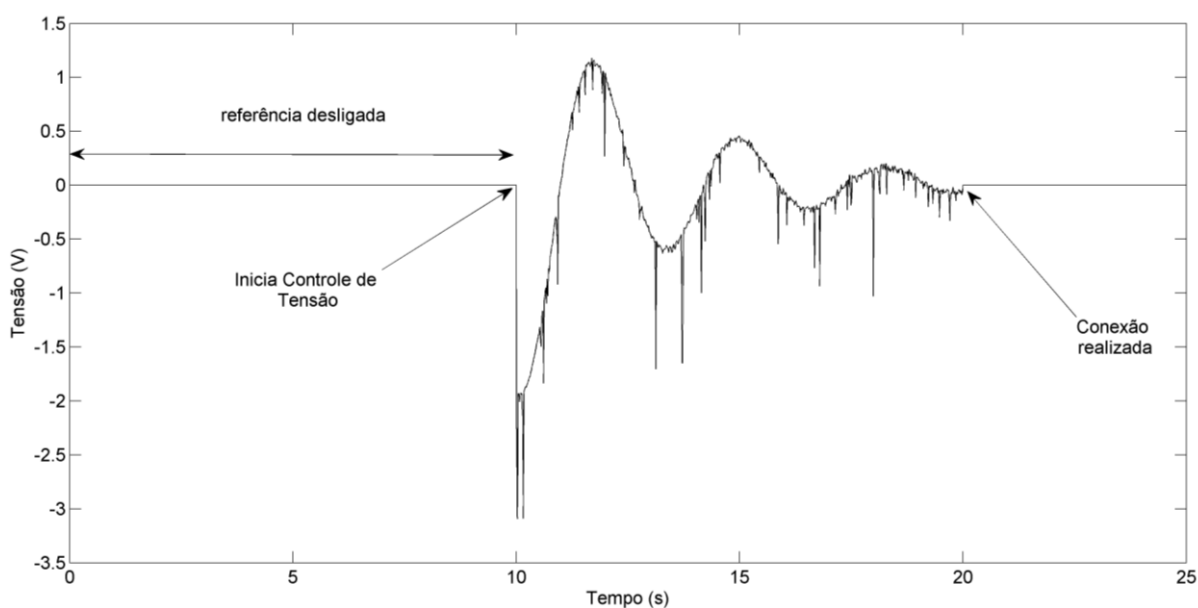


Figura 3.6 Diferença entre as tensões gerada e da rede

Visto que na técnica desenvolvida há a necessidade da realização de processamento de cálculos em paralelo, como é o caso dos PLLs, a fim de que os valores estimados não correspondam a estados anteriores, optou-se pelo uso do FPGA. Além de permitir a realização de tarefas em paralelo, o FPGA possui grande flexibilidade para a alteração do hardware.

Como a maioria dos FPGAs, inclusive o utilizado neste trabalho, são baseados em tecnologia CMOS (Brown et al, 2002), há a necessidade do desenvolvimento de circuitos de condicionamento de sinais para interface com sistemas de potência.

### 3.2. Condicionamento de Sinais e Circuito de Potência

Pelo fato do FPGA utilizado não possuir entradas analógicas, os sinais de tensão da rede e do gerador precisam ser condicionados e convertidos de um sinal analógico para sinais digitais inseridos na entrada do FPGA.

A aquisição da tensão foi feita com o uso de um transformador para reduzir a amplitude do sinal de 220 V para 18 V, e criar uma isolação galvânica do sinal a fim de separar a parte de potência da parte de sinal.

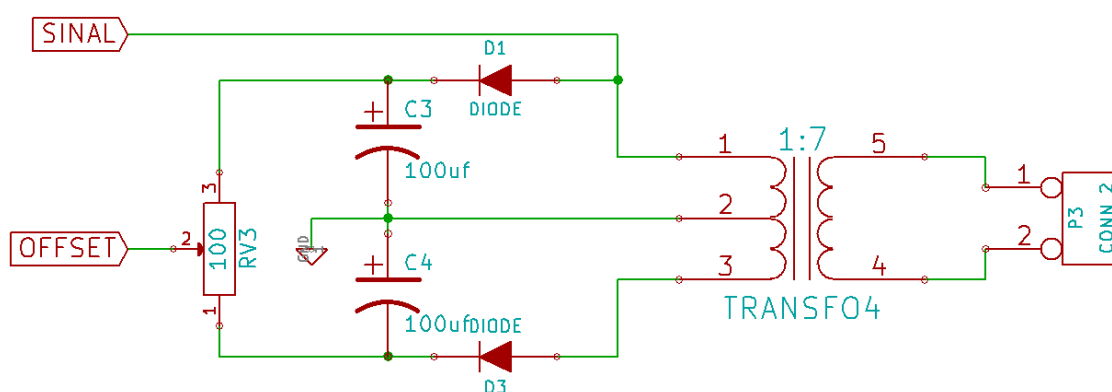


Figura 3.7 Transformação de nível de tensão e geração de referência.

O conversor A/D empregado, ADC0831, possui uma entrada analógica para valores entre 0 e 5 V. O ajuste do range da tensão de saída do transformador, -18

V a 18 V, deve ser feito para torná-lo compatível com a entrada do conversor A/D. A tensão de saída do transformador foi aplicada também na geração da referência para o ajuste de offset do sinal. Para a realização do ajuste empregou-se um amplificador operacional na configuração de subtrator não inversor. Deste modo ao subtrair o sinal de tensão por uma tensão constante negativa determina-se o offset da tensão, e ajustando os ganhos do amplificador reduz-se a amplitude para os níveis desejados. Na Figura 3.8 é apresentado o esquemático do circuito eletrônico de ajuste do sinal que realiza a operação demonstrada na Equação 3.1.

$$Analog = signal \cdot \frac{RV1}{R12+RV1} \cdot \left(1 + \frac{R7}{R13}\right) - offset \cdot \frac{R7}{R13} \quad (3.1)$$

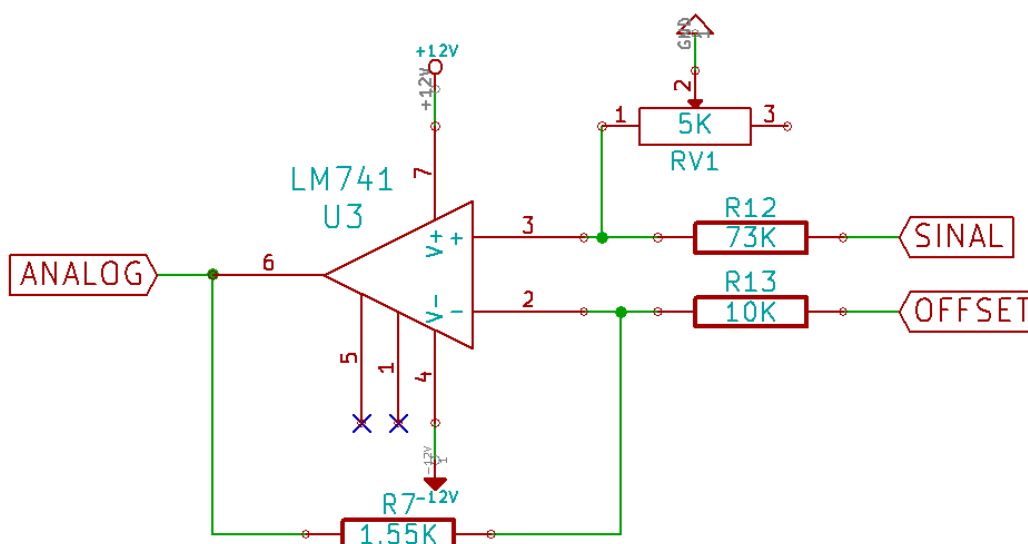


Figura 3.8 Circuito de condicionamento de sinal com o amplificador operacional

Devido ao fato do conversor ADC0831 possuir saídas digitais com níveis lógicos TTL, 5 V, e o FPGA Cyclone III entradas digitais níveis lógicos CMOS, 3.3 V, houve a necessidade de se utilizar de um divisor resistivo a fim de que quando estiver em nível lógico alto, a tensão se mantenha próxima ao nível de trabalho do FPGA, como apresentado em destaque na Figura 3.9.



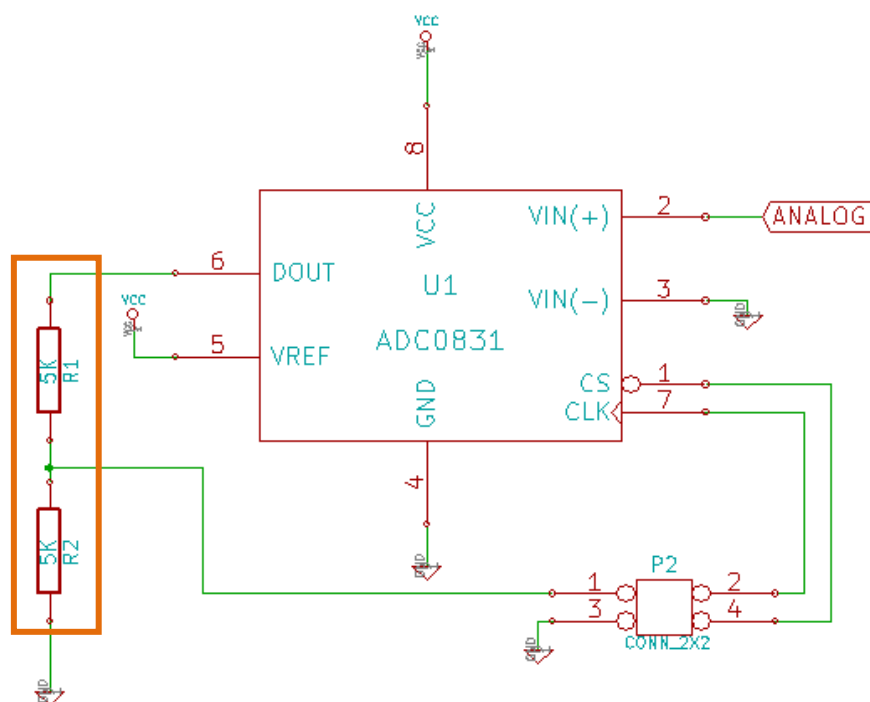


Figura 3.9 Esquemático do circuito do conversor A/D.

A placa de desenvolvimento da *Altera Cyclone III*, possui pinos de saída digitais com nível lógico 3.3 V, não sendo possível fornecer potência para o acionamento do motor elétrico CC responsável pela aceleração do motor a diesel. O motor CC trabalha com uma tensão de 12 V e consome uma corrente de 200 mA. Desta forma desenvolveu-se um circuito de acionamento para o motor CC empregando o CI L6203, que é uma ponte H de MOSFETs, possibilitando o acionamento do motor em ambos os sentidos. O CI possui sinal de entrada em nível TTL ou CMOS e saída para tensões de até 40 V, fornecendo até 2 A de corrente. Pode ser visualizado na Figura 3.10 o esquemático do circuito de acionamento do motor utilizando o CI L6203.

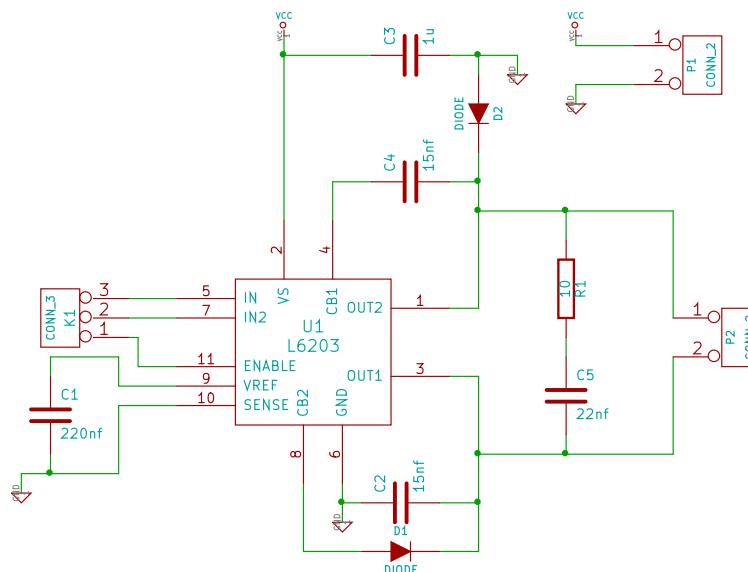


Figura 3.10 Esquemático do circuito de potência com o CI L6203.

### 3.3. FPGA

A construção da lógica de controle foi feita empregando dois métodos de programação no ambiente de desenvolvimento Quartus, a utilização de *megafuncions*, blocos desenvolvidos e otimizados pela Altera, e a programação através da linguagem de descrição de hardware VHDL. A utilização das *megafuncions* é aplicada devido às operações seno e cosseno, presentes no PLL, pois são operações que não possuem funções sintetizáveis em VHDL. Essa alternativa possui baixa latência e não utiliza memória, somente elementos lógicos, diferentemente do uso de LUT (*Look up table*). Os demais cálculos foram desenvolvidos em VHDL explorando a característica de processamento em paralelo.

A descrição do código em VHDL foi realizada empregando variáveis com ponto fixo, com o uso da biblioteca *fixed.h*. Durante o desenvolvimento do PLL observou-se uma inconsistência em algumas das operações o que gerou instabilidade no rastreamento de fase, como pode ser visualizado na Figura 3.11.

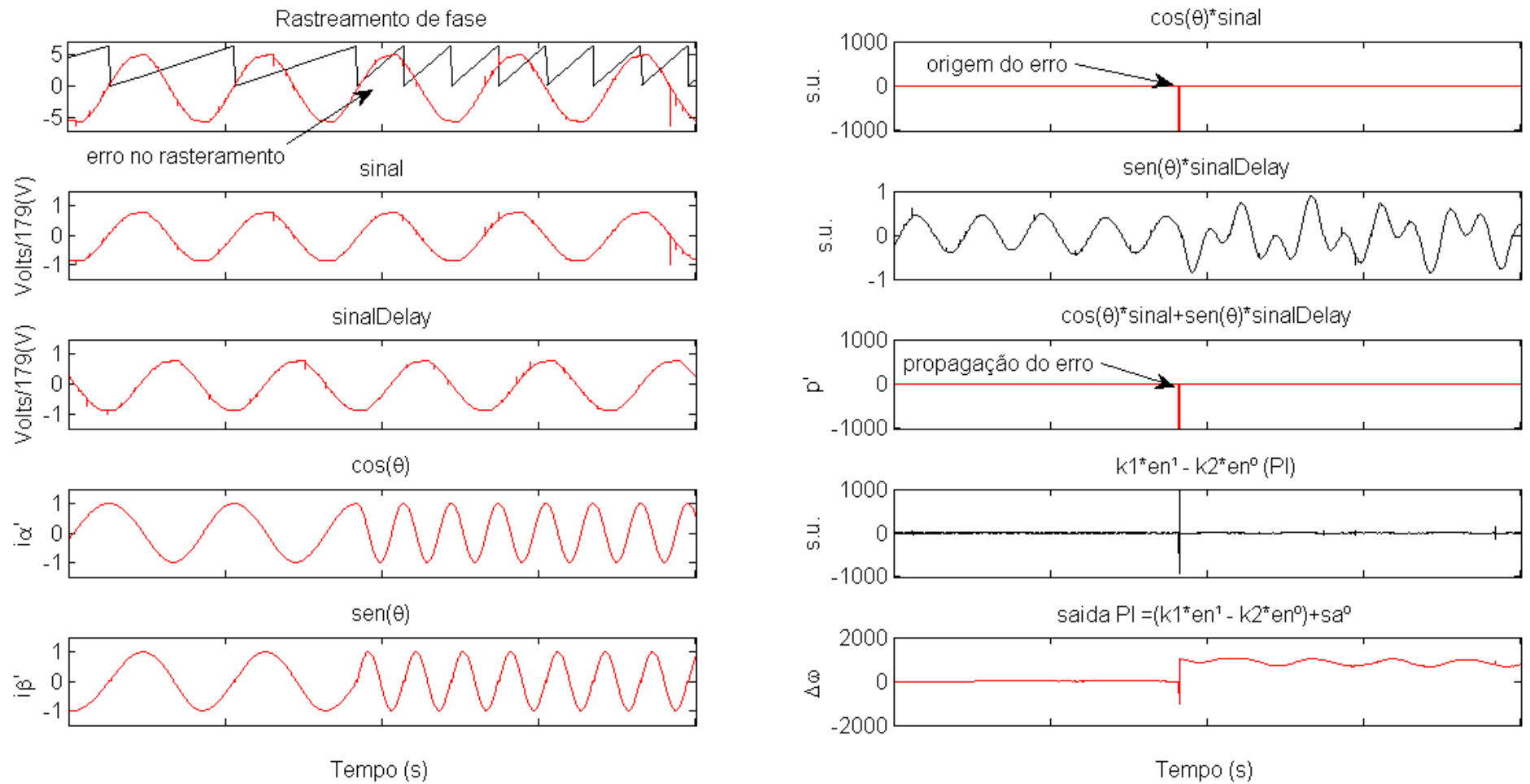


Figura 3.11 Problema da biblioteca sfixed no PLL.

Com o uso de saturação nas variáveis em que o problema ocorria foi possível evitar a saturação do controlador PI, de modo a manter entre os máximos valores possíveis, permitindo que o controlador fizesse a correção caso ocorresse o estouro da variável.

O ajuste dos controladores PD e PI foi feito com o auxílio de um processador NIOS II embarcado, de modo que o hardware não precise ser recompilado e reprogramado no dispositivo a cada mudança nos valores das constantes do controlador, alterando somente a programação do processador, feita na linguagem C. O processador embarcado fornecerá para os blocos dos controladores as constantes ou ganhos do controlador, os quais foram programadas no processador através do programa NIOS II IDE.

Considerando somente o hardware com as constantes dos controladores já encontrados, ou seja, sem o processador embarcado. Os recursos utilizados dos hardware prototipado são apresentados na Tabela 3.1

Tabela 3.1 Recursos do Hardware Prototipado

Total logic elements	46,841 / 119,088 ( 39 % )
Total combinational functions	45,627 / 119,088 ( 38 % )
Total memory bits	10,895 / 3,981,312 ( < 1 % )
Dedicated logic registers	12,024 / 119,088 ( 10 % )
Total pins	20 / 532 ( 4 % )

O ajuste no controlador PI do PLL considerou o emprego do PLL em modo resetável, representando o ângulo de fase como uma rampa de 0 a  $2\pi$ . Desta forma pode se utilizar o display presente no kit de desenvolvimento *Cyclone III*, como um “osciloscópio” interno. Os parâmetros do controlador foram ajustados de forma que os sinais de tensão e o ângulo de fase se mantivessem sincronizados, indicando que o rastreamento da fase está sendo realizado pelo PLL, conforme pode ser visto na Figura 3.12.

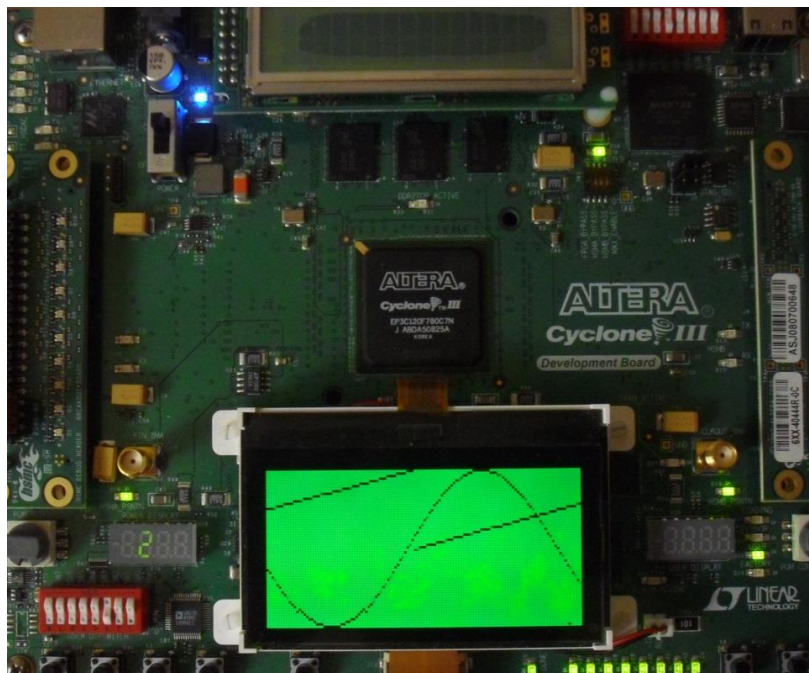


Figura 3.12 Placa de desenvolvimento *Cyclone III* com o sinal de entrada e o ângulo de fase rastreado pelo PLL escritos no display LCD.

O PLL desenvolvido no ambiente de desenvolvimento Quartus II na forma de diagrama de blocos pode ser observado no Anexo 2.

## 4. Resultados

---

Este capítulo tratará da realização dos testes experimentais de sincronismo, utilizando um grupo gerador composto por um motor a diesel mono cilindro acoplado a um gerador síncrono trifásico auto excitável composto. O acoplamento é feito através de uma relação de polias 2:1 para que em regime permanente a velocidade do motor a diesel 3600 RPM, seja reduzida para combinar com a velocidade nominal do gerador que é 1800 RPM. Na Figura 4.1 pode ser observado o sistema mencionado.

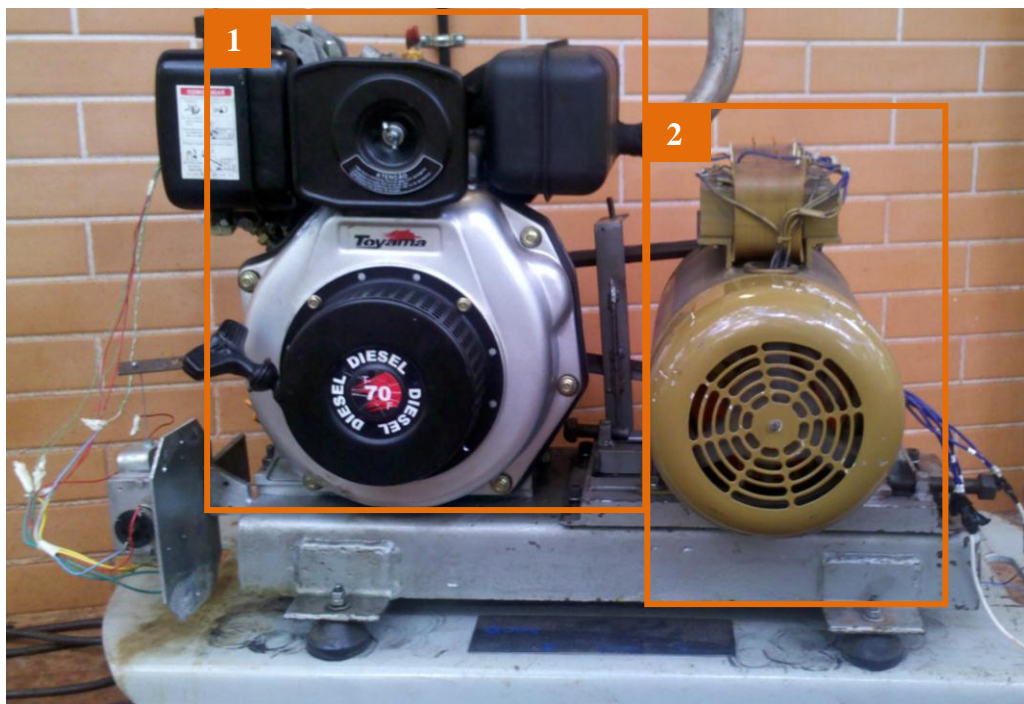


Figura 4.1 Grupo gerador de teste

Na Figura 4.1 pode ser observado o motor a Diesel T70F (em 1), cujas características estão descritas na Tabela 1. Também pode ser observado o gerador composto trifásico Kohlbach, (elemento 2) na Figura 4.1, cujas características estão descritas na Tabela 4.2.

Tabela 4.1 Dados do Motor a Diesel

Marca	Toyama
Modelo	T70F
Tipo	Monocilindor 4 tempos vertical refrigerado a ar
Sistema de Combustão	Combustão por injeção direta
Cilindrada (L)	0,296
Rotação Nominal (rpm)	3600
Potência máxima (Hp)	6
Tipo de Partida	Manual Retrátil

Tabela 4.2. Dados do Gerador

Marca	Kohlbach
Modelo	112MA 25/03
Tipo	Gerador Sincrono Trifásico Compound
Frequência (Hz)	60
Tensão (V)	220/127 FN
Rotação Nominal (rpm)	1800
Potência Nominal (KVA)	4
Corrente Regime Continuo (A)	10,5
$\cos \varphi$	0,8

Como o governador do motor a diesel usado tem por padrão a aceleração manual, um sistema de acionamento elétrico foi desenvolvido para a realização da aceleração através de sinal de tensão, podendo assim ser controlado por um dispositivo eletrônico.

O governador do motor possui um deslocamento de aproximadamente 15°, entre totalmente acelerado e afogado. Para aumentar o percurso do acelerador e aumentar o torque realizado pelo acionador, foi empregado um motor CC com



caixa de redução, além de um braço de alongamento do eixo, como pode ser observado na Figura 4.2. As especificações do motor CC com caixa de redução encontram-se no Anexo 1

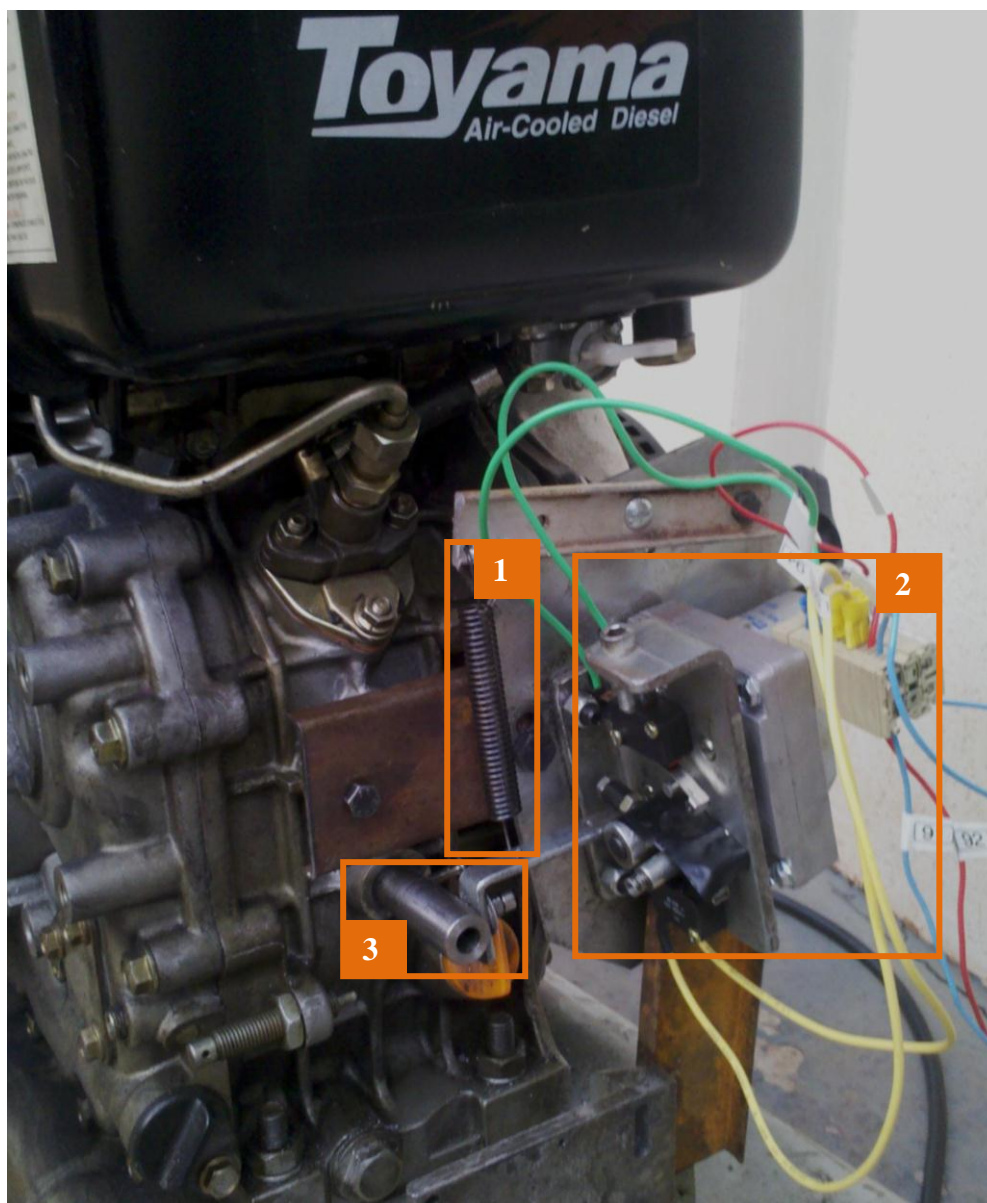


Figura 4.2 Governador acionado por motor CC com caixa de redução.

A conexão entre o eixo do motor CC (mostrado em 2) e o eixo do governador (mostrado 3) apresentados na Figura 4.2, se dá por apoio simples entre os braços fixados em ambos os eixos. Este apoio é mantido por uma mola tensionada 1 mostrada na Figura 4.2. Este tipo de conexão se fez necessário pois a redução do motor CC não é suficiente para suportar a vibração e o torque exercido pelo



governador, no sentido da desaceleração, além do fato faixa de deslocamento do governador ser muito pequena.

Os resultados estão divididos em validação da técnica, testes de desempenho do PLL embarcado em FPGA e implementação da técnica.

#### **4.1. Validação da técnica**

A fim de comprovar o funcionamento da técnica e da estratégia de controle com um sistema real, sua validação foi realizada utilizando-se o hardware dSPACE®. Este hardware conta com programação feita pela síntese do sistema desenvolvido na ferramenta Simulink® do MATLAB®.

Durante esta etapa observou-se que a estratégia de controle empregada durante a simulação, com um único controlador baseado apenas no ângulo de fase com PLLs no modo resetável, não ofereceu estabilidade ao sistema, portanto, exigindo que fosse refeita a estratégia de controle. Desta forma, como estratégia de controle do sistema empregou-se então uma configuração de controle com duas malhas, com uma malha inserindo uma perturbação na outra. O sistema é composto por uma malha de frequência mais rápida e outra malha interna de fase mais lenta e com perturbação limitada a 1 Hz. Isto foi feito a fim de que a diferença do ângulo de fase seja ajustada em uma frequência próxima da frequência da rede, evitando que o sistema se instabilize.

O ângulo de fase gerado pelo PLL não possui limitações, ou seja tende a infinito. Assim, para que a diferença entre os ângulos de fase não funcione como um integrador no sistema, aumentando oscilações que podem desestabilizar o sistema e ainda aumentar o tempo de assentamento, calcula-se o seno da metade da diferença do ângulo de fase. Deste modo, toda vez que a diferença do ângulo de fase for múltiplo de  $2\pi$  radianos, considerando que as frequências sejam iguais, os sinais estarão em fase e a perturbação na malha de frequência vai ser nula, como demonstrado na Figura 4.3.

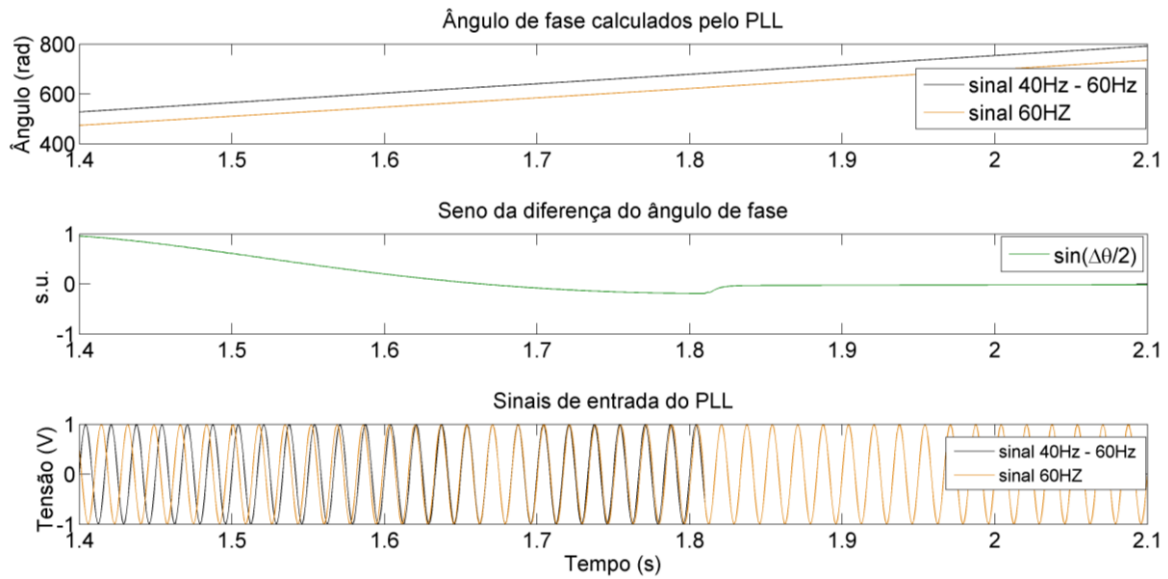


Figura 4.3 (a) ângulo de fase das senóides do gráfico (c); (b) seno da metade da diferença dos ângulos de fase mostrados em (a); (c) sinais de entrada do PLL: senoide em 60 Hz (laranja) e senoide variando de 40 a 60 Hz (preto).

Fora da frequência nominal o controlador PI do PLL tenta, constantemente, ajustar a frequência  $\omega$ , que é a saída do controlador. Estes ajustes causam muito ruído na saída de frequência do PLL, sendo necessário o emprego de um filtro passa baixa. Um esquemático do sistema implementado está representado na Figura 4.4.

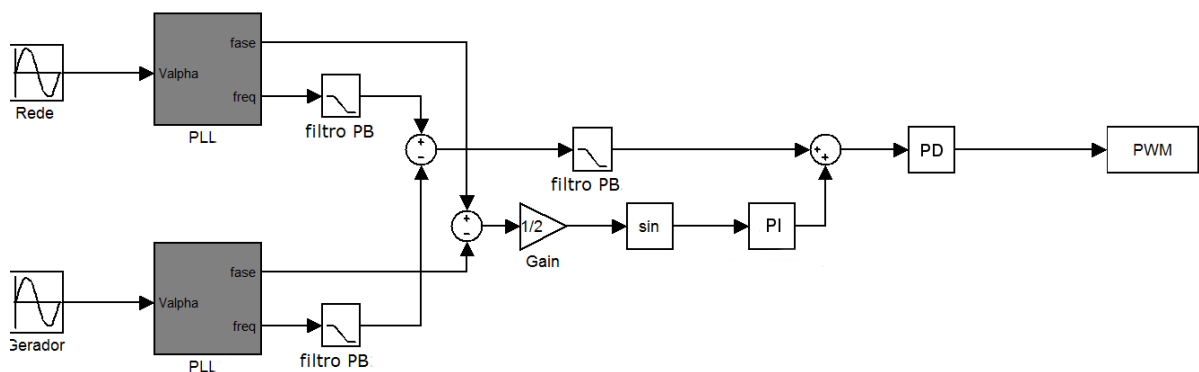


Figura 4.4 Esquemático do sistema implementado no dSPACE®.

Os ganhos dos controladores foram ajustados no hardware do dSPACE através de um supervisor desenvolvido no Control Desk apresentado na Figura 4.5.

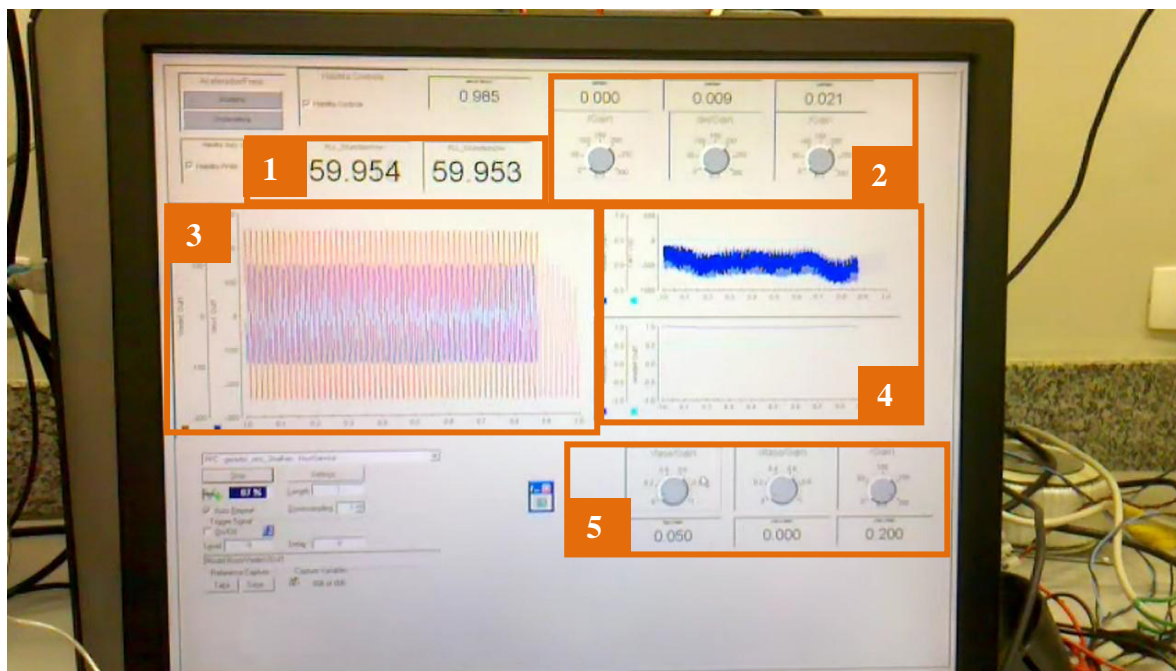


Figura 4.5 Interface do supervisor no Control Desk.

Na Figura 4.5 o item 1 representa as frequências da rede e do gerador, em 2 são apresentados os ajustes do controlador da malha de frequência, no destaque 3 encontram-se os gráficos das tensões analisadas, em 4 os gráficos dos sinais antes e depois dos controladores de fase e da frequência e em 5 encontram-se os ajustes do controlador de fase.

Durante a realização dos testes foram armazenados dados do sistema implementado por um período de 5 segundos. As formas de onda da tensão da rede (vermelho) e do gerador (tons de azul), trigada pela tensão da rede, podem ser visualizadas na Figura 4.6, com a máxima oscilação da tensão do gerador. No gráfico pode-se observar as tensões entre  $t=1$  s e  $t=2,67$  s. Nota-se também a deformação na onda da tensão (em azul), que é devida à característica do próprio gerador que possui fator de potência igual a 0,8, conforme apresentado na Tabela 4.2, a qual indica os dados de placa do gerador. O fator de potência não unitário é

causado pela presença de harmônicos na tensão, causando a deformação demonstrada.

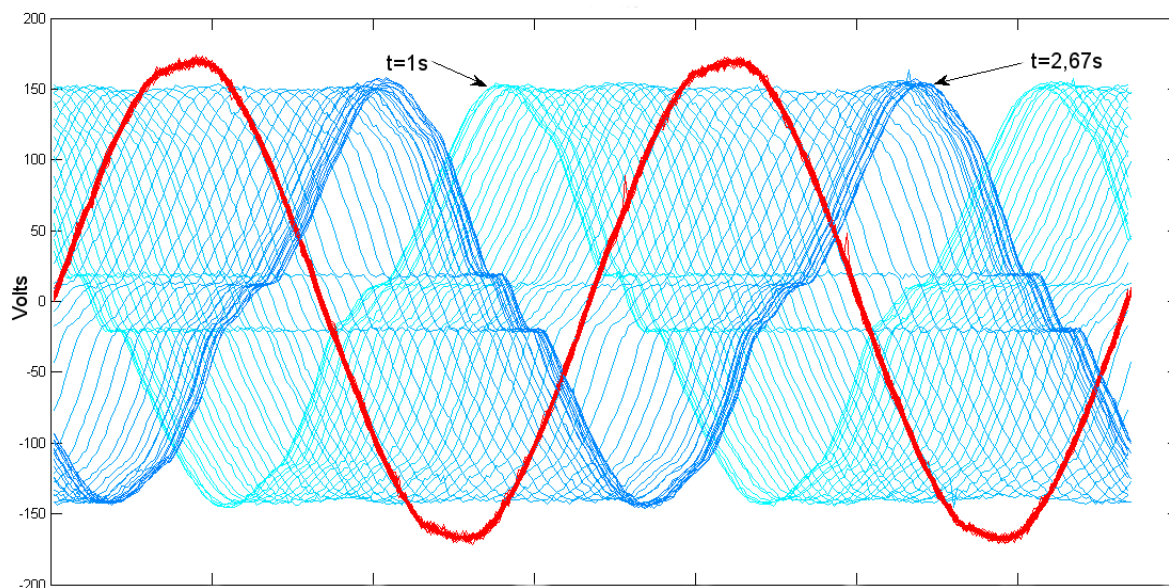


Figura 4.6 Análise de oscilação máxima e mínima da tensão gerada (tons de azul) em relação a tensão da rede (vermelho).

Inicialmente, o ajuste dos controladores foi feito pela malha de frequência, por ser o controlador principal, ou seja, o que mantém o sistema estável para que a correção da fase possa ser feita. Variando-se as constantes do controlador de frequência e observando a resposta do sistema, observou-se que um controlador PD deixou o sistema estável. A saída do PD é bastante ruidosa, pelo fato do derivativo amplificar o ruído, como pode ser observado na Figura 4.7, onde se visualiza os sinais de entrada e saída do controlador. Porém, pelo fato do motor CC se comportar como um filtro passa baixa, não há necessidade de se filtrar o sinal de controle do motor.

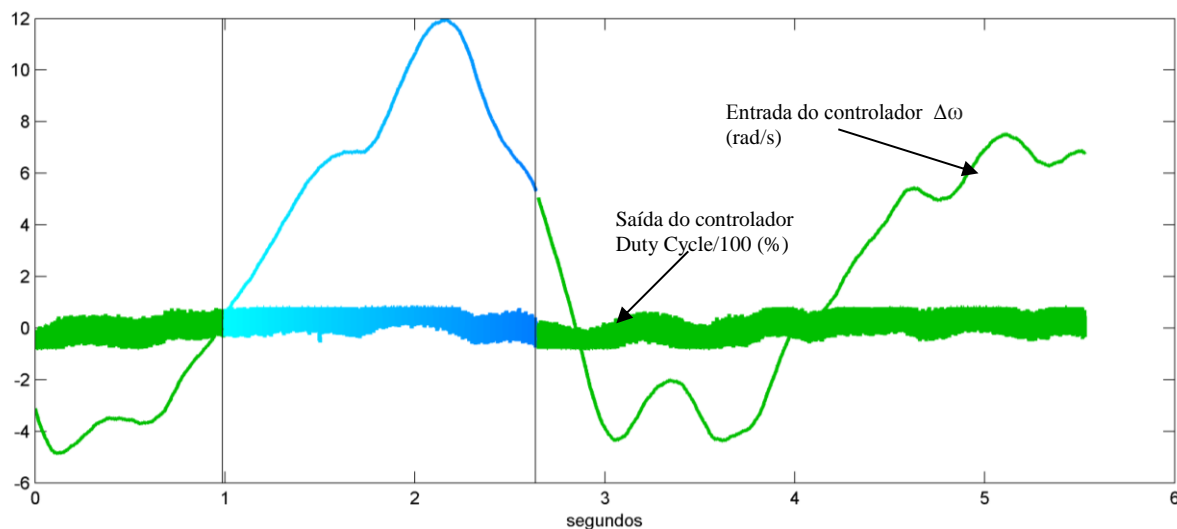


Figura 4.7 Diferença de frequência antes e após o controlador da malha de frequência

Tanto os gráficos da Figura 4.7 quanto da Figura 4.8 podem se observar a não proporcionalidade entre a parte positiva em relação a parte negativa, isso ocorre devido a forma como o acelerador elétrico-mecânico foi acoplado ao governador, além do próprio funcionamento do motor Diesel que tende a afogar. A junção entre o governador e a caixa de redução se dá por apoio simples, sendo este mantido por uma mola, fazendo força no sentido da desaceleração. Estes fatores mecânicos contribuem para dificultar a aceleração e facilitar a desaceleração, necessitando de diferentes potências do motor CC e, por consequência, de diferentes valores de *duty cycle* para realizar proporcionalmente a mesma desaceleração e aceleração.

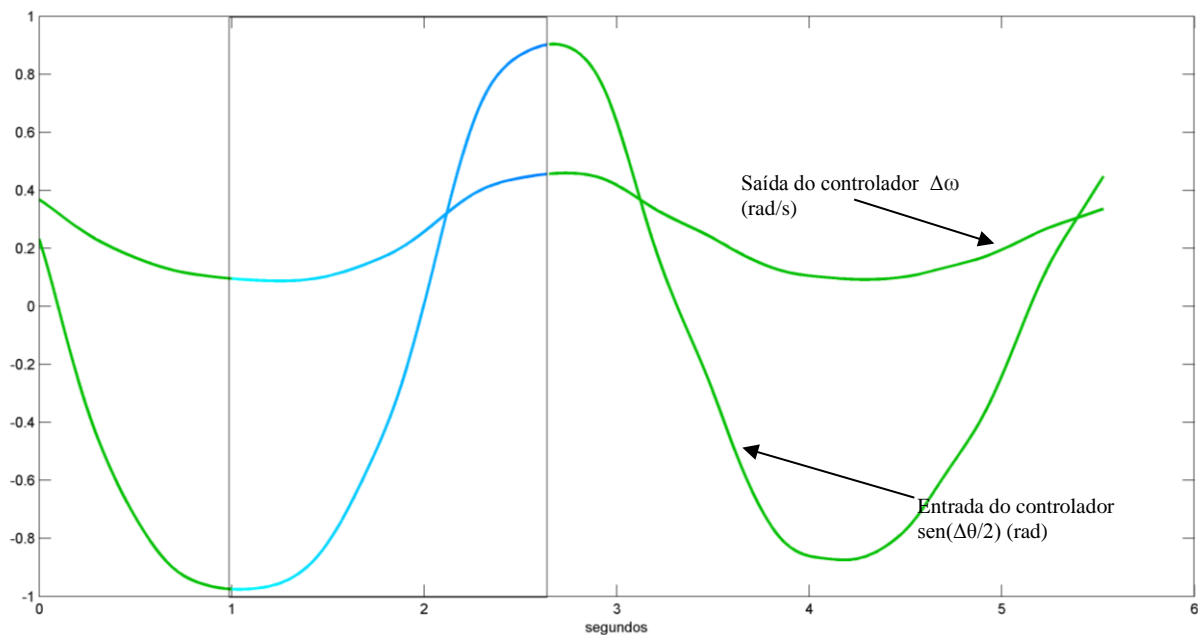


Figura 4.8 Diferença de fase antes e após o controlador de fase.

Como a validação da técnica mostrou que o controle do motor, de modo a ajustar o ângulo de fase para realizar o sincronismo, pode ser realizado, partiu-se, então, para a implementação da técnica no FPGA.

## 4.2. Testes do PLL Embarcado

Para realizar a implementação do hardware programando em VHDL foi utilizado a Placa de Desenvolvimento Cyclone III mostrada na Figura 4.9, cujas características estão descritas na Tabela 4.3. Esta placa foi escolhida pela maior quantidade de elementos lógicos em comparação com a placa de desenvolvimento DE0 que possui o FPGA Cyclone II.

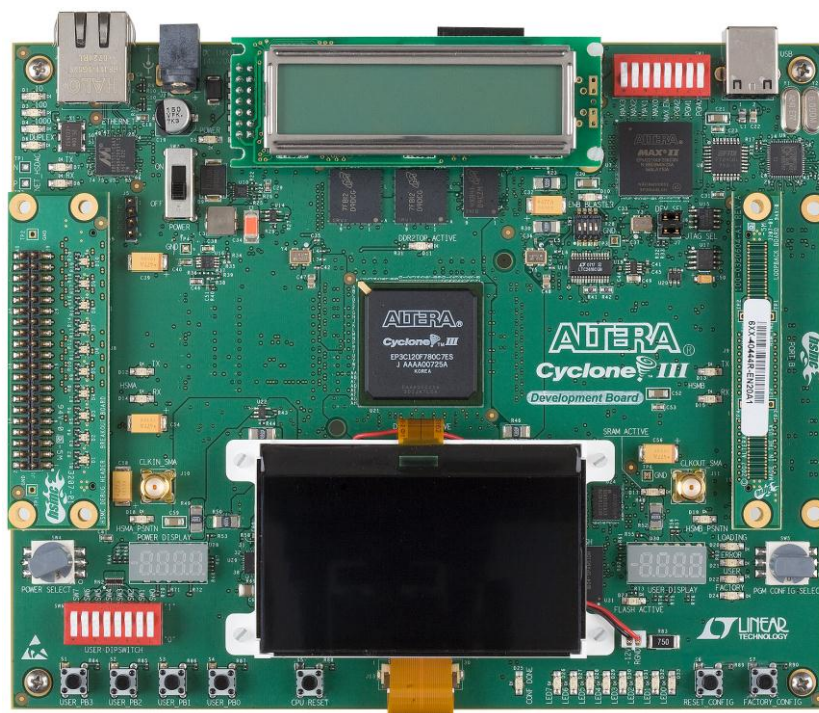


Figura 4.9 Kit Cyclone III Development Board

Tabela 4.3. Dados da Placa de Desenvolvimento Cyclone III

Marca	Altera
FPGA	Cyclone III EP3C120
Elementos Lógicos	119K
Bits de Memória	3.888K
I/Os	531
Display LCD	128x64

Utilizando a função MEX `alt_singaltap_run`, da ferramenta SignalTap II, fornecida pela Altera para MATLAB®, testes do sistema implementado em FPGA foram realizados, o código utilizado encontra-se no Anexo 3.

A leitura dos dados é feita através da comunicação JTAG UART em pacotes com os valores amostrados. Nos casos a seguir serão 1024 amostras de 6 variáveis, causando um atraso entre um pacote e outro. Nos gráficos a seguir os pacotes serão agrupados para serem analisados num período maior. Na Figura 4.10 é apresentado o rastreamento de fase e frequência de duas entradas uma é



a rede de energia, e a outra um Gerador de Função (G.F.). Neste gráfico o gerador de função encontra-se configurado a 63 Hz, a diferença de frequência pode ser observada no gráfico (c) e no gráfico do ângulo de fase, que mostra o ângulo do G.F. variando em uma taxa maior devido a frequência também maior em relação a frequência da rede.

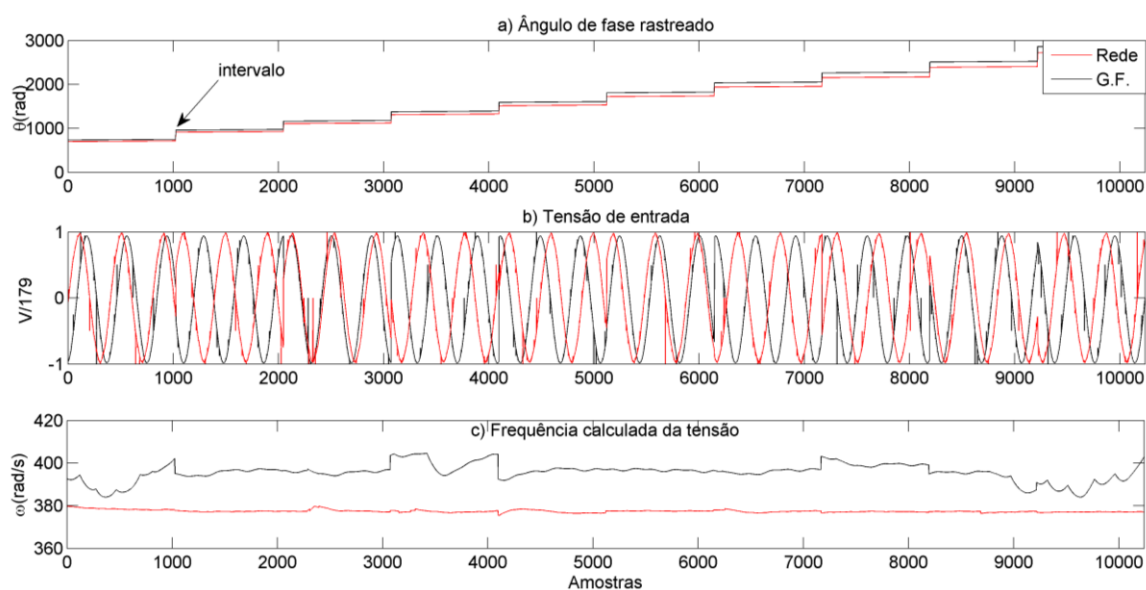


Figura 4.10 Teste de funcionamento do PLL com sinais da rede em 60 Hz (vermelho) e sinal do G.F. em 63 Hz (preto). (a) Ângulo de fase dos sinais apresentados em (b); (b) Tensões de entrada normalizadas; (c) Frequência das tensões

Variando a frequência do gerador de função pode-se observar o desempenho do PLL em frequências diferentes da nominal. Como é mostrado na Figura 4.11, no gráfico de frequências, o PLL possui instabilidade com frequências abaixo de 50 Hz e acima de 70 Hz. A faixa estável de operação está representada dentro do retângulo, como um sinal crescente. Esta instabilidade é causada pelo *Transport Delay* de comprimento fixo, calculado para a frequência em regime permanente de 60 Hz. Porém, a faixa de 10 Hz acima da frequência de regime permanente a 10 Hz abaixo é o suficiente para a realização do controle de fase.



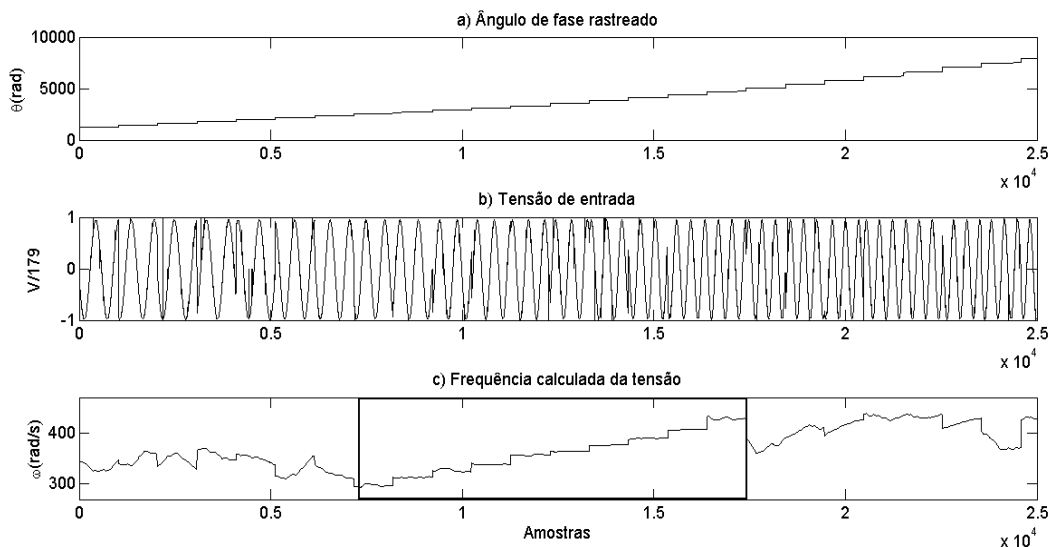


Figura 4.11 Teste de desempenho do PLL com sinal senoidal do G. F. variando de 40Hz a 80Hz. No retângulo a indicação da faixa estável de funcionamento. (a) Ângulo de fase do sinal apresentado em (b); (b) Tensão de entrada normalizada; (c) Frequência da tensão apresentada em (b).

Na Figura 4.12 fica demonstrada a robustez do PLL para o rastreamento de fase quando a entrada é um sinal com deformação. No teste foi gerado uma onda dente de serra com frequência de 60 Hz, através de um gerador de funções. Mesmo com sinal não senoidal e com frequência diferente da nominal, o PLL realizou o rastreamento da fase e da frequência do sinal, como pode ser visto na Figura 4.12 (c) a frequência rastreada em torno de 377 rad/s.

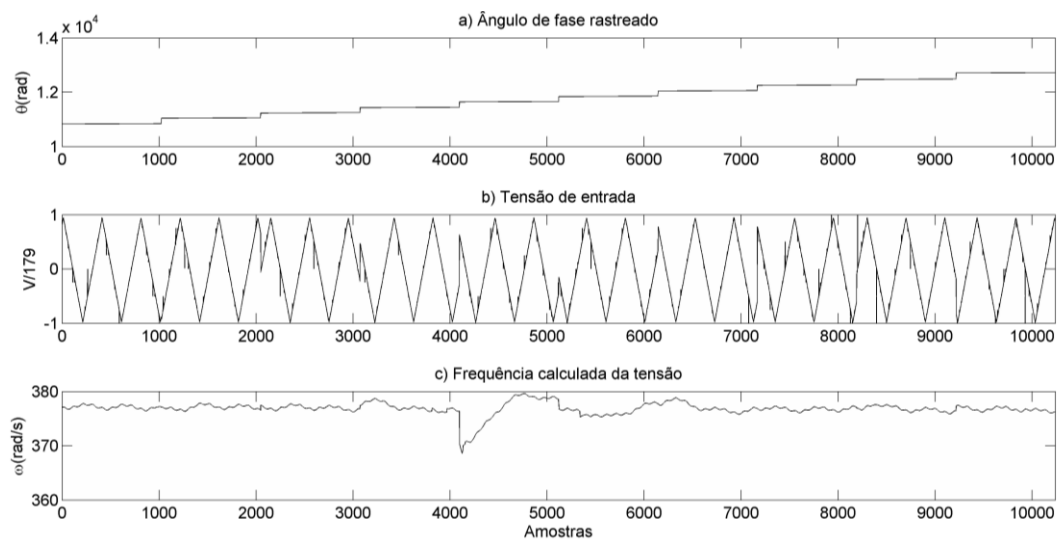


Figura 4.12 Teste de robustez do PLL com sinal triangular do G. F. em 60 Hz (vermelho). (a) Ângulo de fase do sinal apresentado em (b); (b) Tensão de entrada normalizada; (c) Frequência da tensão apresentada em (b)

### 4.3. Resultados Experimentais FPGA

Após testado o desempenho e robustez do PLL embarcado no FPGA como visto na seção anterior, implementou-se em VHDL o sistema de sincronismo automático apresentado na Figura 4.13.

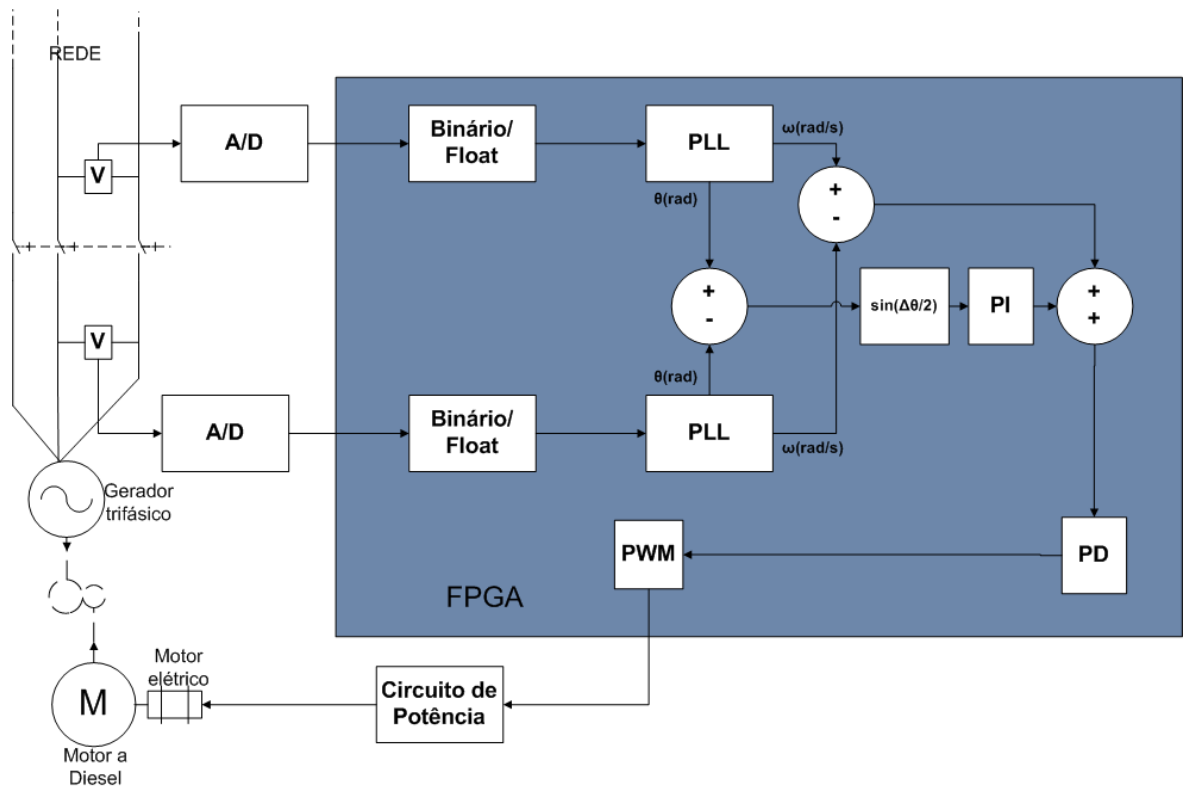


Figura 4.13 Diagrama do sistema de sincronismo.

Na Figura 4.14 podem ser observados os dispositivos usados nos testes realizados no BATLAB (Laboratório de Inteligência Artificial, Eletrônica de Potência e Sistemas Digitais da UFMS): em 1 a fonte de alimentação dos circuitos, em 2 o circuito de acionamento do motor CC, em 3 e 4 os circuitos de condicionamento de sinal e em 5 o FPGA.

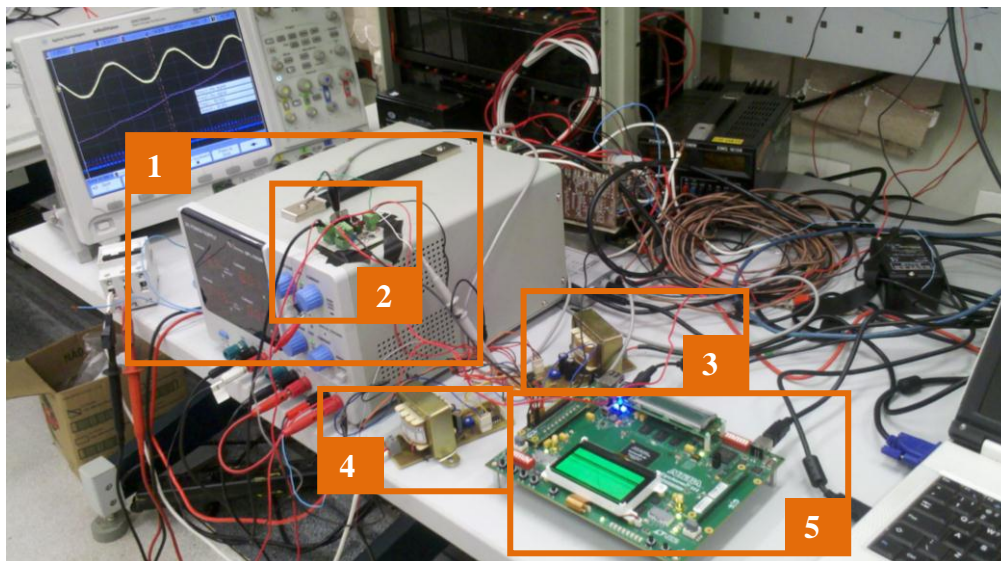


Figura 4.14 Montagem dos testes realizados com o FPGA

Utilizando as mesmas constantes dos controladores empregadas na validação da técnica, foram realizados testes com o sistema embarcado no FPGA.

Realizando uma análise de máxima oscilação da tensão gerada, mostrada na Figura 4.15, em que a tensão da rede é representada pela senóide de cor vermelha e a tensão gerada pelas senóides em tons de azul, representando a sua variação com o passar do tempo. A análise tem início aos 3.03 segundos e é finalizada em 4 segundos, que equivale a uma das oscilações realizadas pelo sistema.

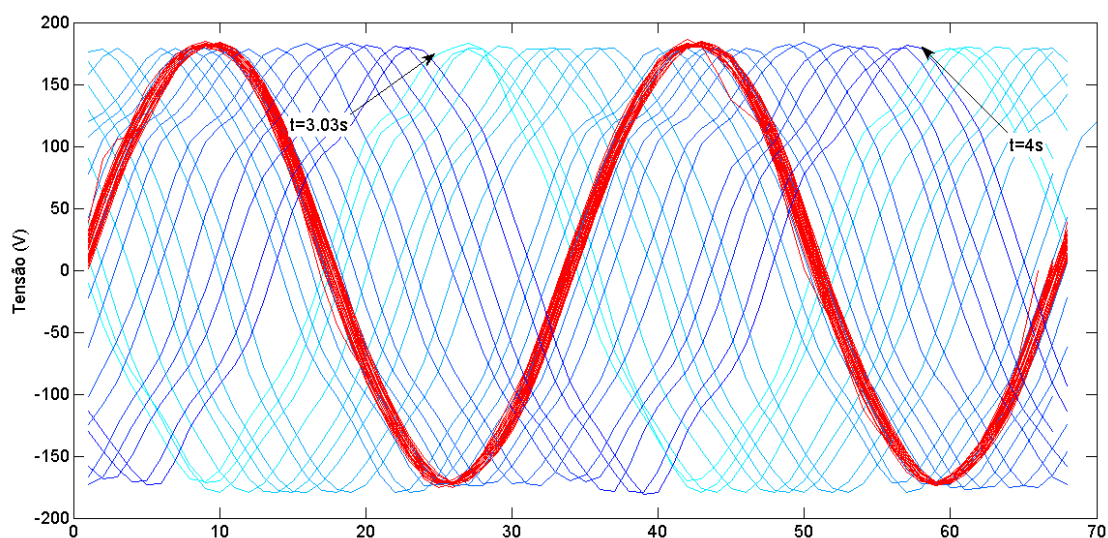


Figura 4.15 Análise de oscilação máxima da tensão gerada (tons de azul) em relação a tensão da rede (vermelho).

Na Figura 4.15 pode se observar uma pequena saturação na amplitude do sinal de tensão do gerador. Isso aconteceu pois o conversor A/D foi ajustado de modo que a amplitude da senóide na frequência de trabalho, a 60 Hz, estivesse com a tensão próxima a tensão de saturação do conversor. Porém como o gerador é auto excitável, ou seja, a amplitude e a frequência da tensão variam de acordo com a velocidade no seu eixo, durante os períodos de saturação a amplitude da tensão estava acima da nominal. Esta variação da frequência pode ser observada no gráfico da Figura 4.16, em que é plotado a entrada e saída do controlador de frequência. Nesta figura pode ser observado também a máxima oscilação de frequência durante o período analisado, que é de mais ou menos 1 Hz.

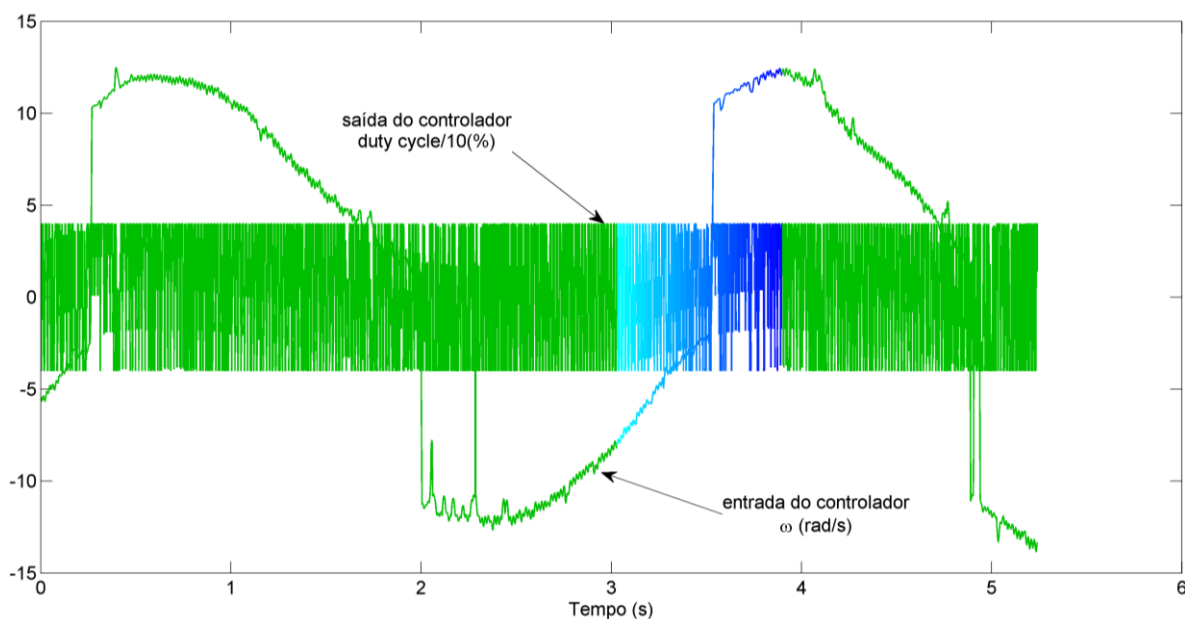


Figura 4.16 Diferença de frequência na entrada do controlador da malha de frequência e o sinal de saída do controlador duty cycle/10.

Na Figura 4.16 pode ser observada uma alteração brusca na diferença da frequência, que foi causada pela perturbação da malha de fase na referência da malha de frequência. Esta alteração é causada pela saturação do controlador PI utilizado na malha de fase, como pode ser observado na Figura 4.17.

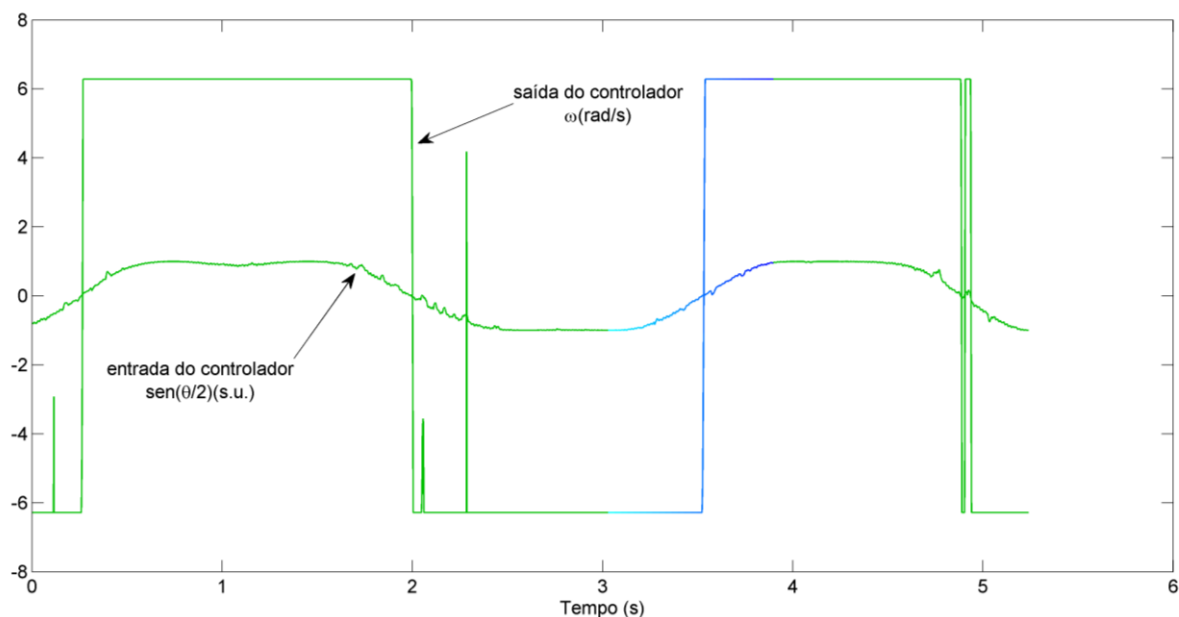


Figura 4.17 Diferença de fase antes do controlador de fase e o sinal de saída do controlador, a frequência.

A saturação foi causada pelo uso das mesmas constantes do controlador ajustado na validação da técnica. Como os cálculos não são os mesmos devido a conversão dos controladores do universo contínuo para discreto, e como as variáveis possuem mantissa de comprimento fixo, os valores das constantes dos controladores obtidos durante a validação causam a saturação da saída do controlador de fase.

Apesar da saturação do controlador com os valores das constantes obtidos durante a validação, estes ganhos foram os que geraram os melhores resultados durante a implementação em FPGA.

## 5. Conclusão e Discussões

---

Este trabalho propôs a implementação em hardware de um sistema automático como ferramenta para a realizar o sincronismo entre um gerador síncrono e a rede elétrica e transferir potência ativa, empregando a técnica de PLL monofásico embarcado em FPGA. Após a realização de testes com o sistema embarcado, comprovou-se que a técnica embarcada no FPGA é capaz de realizar o sincronismo de um gerador síncrono auto excitável acionado por um motor Diesel. Porém a configuração do sistema impediu que o sincronismo pudesse ser realizado. O ajuste da velocidade do motor foi capaz de manter a tensão gerada oscilando com uma diferença de fase de no máximo meio ciclo em relação a tensão da rede. Todavia, não foi suficiente para que ocorresse a interligação com a rede para, então, realizar a transferência de potência ativa do gerador para a rede.

Inicialmente foram realizadas simulações do sistema utilizando Simulink® para o desenvolvimento da técnica. A fim de comprovar o funcionamento da técnica em um sistema real, fez-se a validação embarcando o sistema no dSPACE atuando sobre um grupo gerador diesel, composto por um gerador síncrono auto excitável acionado por um motor diesel. Durante esta etapa observou-se que a estratégia de controle desenvolvida na simulação não funcionou na prática.

A diferença na estratégia de controle da simulação em relação a parte experimental pode ser explicada pela variável controlada em cada sistema. Na simulação a variável a ser controlada era a velocidade da máquina primária, já nos resultados experimentais com o emprego do gerador diesel, a variável era o *duty cycle* do motor CC.

Através dos ajustes dos controladores foi possível manter as tensões geradas oscilando dentro de um único ciclo. Após a determinação dos valores dos ganhos dos controladores que levaram ao melhor resultado, obtidos durante a validação da técnica com o dSPACE, desenvolveu-se o hardware do FPGA. Durante a realização de testes com o PLL embarcado no FPGA foram observados inconsistências em alguns cálculos resultando no estouro da variável, interferindo

na estabilidade do controlador PI e impossibilitando o rastreamento da fase. Este problema foi contornado limitando suas respectivas variáveis para os máximos e mínimos valores possíveis, evitando a saturação do controlador PI. Entretanto, não foi possível a identificação das causas do erro.

Os resultados da implementação no FPGA ficaram próximos aos obtidos durante a validação da técnica, apenas com uma variação maior do ângulo de fase na oscilação, devido a não utilização de controladores em ponto ótimo.

Analisando os resultados, pode se verificar que o emprego do FPGA na realização do sincronismo de grupo gerador a diesel, através do controle da velocidade pela estimativa da frequência e do ângulo de fase, utilizando PLL monofásico é interessante e capaz de substituir as técnicas existentes. Devido a conjunção de diversos fatores, como o tipo de atuador empregado e o tipo de injeção de combustível do motor a diesel, o sincronismo do gerador com a rede elétrica não ocorreu. Apesar dos resultados não apresentarem exatidão necessária para que a interligação com a rede fosse realizada, por não ter encontrado o ponto ótimo de operação dos controladores, trata-se de uma técnica com resultados satisfatórios na realização do sincronismo de gerador síncrono utilizando PLL monofásico em FPGA.

### **5.1. Sugestão para trabalhos futuros**

Como trabalhos futuros são citados soluções para alguns problemas encontrados, de modo a melhorar o sistema desenvolvido.

- O emprego de motor CC como acionamento do governador do motor possui algumas desvantagens para a aplicação de sincronismo de fase. A velocidade do motor a diesel depende da posição do governador, porém, o controle empregado no posicionamento do governador vem de um controle de velocidade do motor CC acionado por variação de *duty cycle*. Por se tratar de um controle de posição em malha aberta, o controle não é o mais eficiente. Outro empecilho causado é que em condições de ajustes mais finos, pequenos deslocamentos do

acelerador, em que o *duty cycle* é menor que 20%, o motor não conseguiu responder nessas condições.

- O motor a diesel utilizado nos testes possui um único cilindro, o que cria variações na velocidade e torque gerados em um ciclo de funcionamento do motor. Durante as etapas de admissão, compressão e exaustão o motor consome energia cinética para a realização das etapas, principalmente na compressão, energia essa utilizada que só será fornecida no ciclo da explosão (ZWEIRI et al, 1998). A substituição do motor por um com mais cilindros pode fazer com que o sistema responda mais rápido às mudanças feitas no governador, além de diminuir as variações causadas pelas etapas que consomem energia.
- O sistema empregado utiliza o ângulo de fase e a frequência da tensão gerada para efetuar o ajuste na velocidade do motor a diesel. Entretanto, entre o ajuste da posição do governador do motor até à geração da energia existem diversos fatores que podem alterar o resultado final. Deste modo sugere-se separar o sistema de controle em malhas adicionais (malha de posição do governador, malha de velocidade do motor, etc) a fim de se obter um resultado mais estável. A utilização de técnicas de inteligência artificial como demonstrado em (HE WEI et al, 2009) (MCGOWAN et al, 2008) (SEUNG et al, 2008), podem ser uma solução para encontrar o ponto ótimo de funcionamento.



## 6. REFERÊNCIAS BIBLIOGRÁFICAS

---

**AKAGI, H.** *Instantaneous Power Theory and Applications to Power Conditioning*. Piscataway, NJ: IEEE Press, 2007.

**BEKIROGLU, E.; BAYRAK, A.** Automatic Synchronization Unit For The Parallel Operation Of Synchronous Generators. In: EUROCON 2009. *EUROCON '09*, St.-Petersburg, 2009. 766 - 771.

**BROWN, S.; ROSE, J.** FPGA and CPLD architectures: a tutorial. In: IEEE Design & Test of Computers. 2002.

**DA SILVA, S.A.O.; CAMPANHOL, L.B.G. ; GOEDTEL, A. ; NASCIMENTO, C.F. ; PAIAO, D.** A comparative analysis of p-PLL algorithms for single-phase utility connected systems. In: 13th European Conference on Power Electronics and Applications, 2009. *EPE '09*. Barcelona. 1 – 10.

**FIORAVANTI, P.; CIRSTEA, M.N.; CECATI, C.; MCCORMICK, M.; DINU, A.** Passivity Based Control Applied to Stand Alone Generators. In: Proceedings of the 2002 IEEE International Symposium on Industrial Electronics, 2002. *ISIE 2002*. 1160 - 1165.

**FILHO, R. M. S.; SEIXAS, P. F.; CORTIZO, C. P.** A comparative study of three-phase and single-phase pll Algorithms for grid-connected systems. In: INDUSCON, 2006, Recife/PE.

**GODOY, Ruben.** *Paralelismo de Inversores Monofásicos, Isolados ou em Conexão com a Rede, com Otimização da Resposta Dinâmica*. Ilha Solteira. 2010. Tese (Doutorado em Engenharia Elétrica) - Faculdade de Engenharia - Campus de Ilha Solteira – Universidade Estadual Paulista.

**GUERRERO, J.M.** Connecting renewable energy sources into the smartgrid. In: *IEEE International Symposium on Industrial Electronics (ISIE)*. 2011. Gdansk. 2400 - 2566.

**HE WEI; REN MIN; TAN YINGQI.** A fuzzy control system of diesel generator speed. In: Power and Energy Engineering Conference. Asia-Pacific, Wuhan. *APPEEC*. Wuhan, 2009. 1 - 4.

**HU, Y.;** MCCORMICK, M. A FPGA Based Fast DC Link Voltage Controller for Stand-Alone Diesel Engine Driven Generator Systems In: 28th Annual Conference of the Industrial Electronics Society. *IECON 02*. 2002. 1966 - 1971.

IEEE Task Force on Power System Stabilizers. Overview Of Power System Stability Concepts. In: *Power Engineering Society General Meeting*, 2003

**HERZOG, W. J.** Current and near-term emission control strategies for diesel powered generator sets. In: 24th Annual International Telecommunications Energy Conference. 2002. *INTELEC*. 394 - 399.

**JUNIOR, C. P.;** JUNIOR, G. L.; AQUINO, V. C.; DE SOUZA, N. A.; CASTANHO, C. E. J.; ZAGO, G. M. Curvas De Capacidade E Dinâmica De Geradores Síncronos. In: 9<sup>th</sup> Brazilian Conference on Dynamics and their application. *DINCON'10*. Serra Negra, SP. 2010.

**LORA, E. E. S. e** Haddad, J. *Geração Distribuída*. Rio de Janeiro: Interciência, 2006.

**LOPES, L.C.G;** CARLETTI, R. L.; BARBOSA, P. G. .Implementation of a digital and a deadbeat PLL circuits based on instantaneous powers theory with a DSP TMS320F243. In: THE 7TH BRAZILIAN POWER ELETRONICS CONFERENCE, Fortaleza/CE. *The 7th Brazilian Power Eletronics Conference*. Fortaleza-CE, 2003. 180-185.

**MELO, F. P.** *Dinâmica e Controle da Geração*. 2<sup>a</sup> ed. Santa Maria, RS :UFSM, 1983.

**MCGOWAN, D.J.;** MORROW, D.J.; FOX, B. Multiple Input Governor Control for a Diesel Generating Set. In: *IEEE Transactions on Energy Conversion*. 2008. 851 - 859.

**MONMASSON, E.;** CIRSTEA, M. FPGA Design Methodology for Industrial Control Systems - A Review. In: *IEEE Transactions on Industrial Electronics*. 2007. 1824 - 1842

Página da web <[www.altera.com/literature/lit-index.html](http://www.altera.com/literature/lit-index.html)> acessada em 06 de abril de 2012.

**PATEL, M. R.** *Wind and Solar Power Systems*. 2<sup>a</sup> ed. New York: Taylor & Francis, 2006.

**SEUNG-HWAN LEE;** JUNG-SIK YIM; JOON-HWAN LEE. . SEUNG-KI SUL. Design of Speed Control Loop of a Variable Speed Diesel Engine Generator by Electric Governor In: *Industry*

Applications Society Annual Meeting. *Industry Applications Society Annual Meeting*. Edmonton, Alta, 2008. 1 - 5.

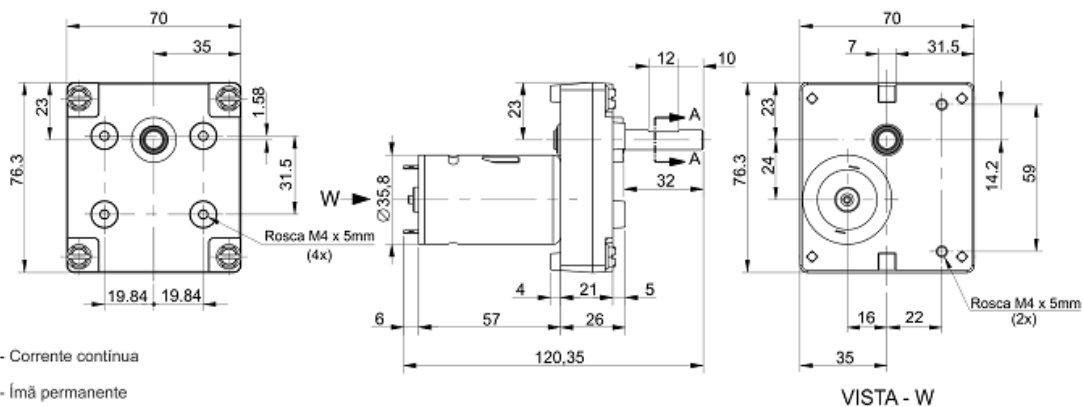
**SUNI, J.C.P.; RUPPERT, E.; FAJONI, F.** A guide for Synchronous Generator Parameters Determination Using Dynamic Simulations Based Electrical Machines. In: XIX International Conference on Electrical Machines. *ICEM'10*. 2010. Rome. 1 - 6.

**TA-HSIU TSENG; PEI-HWA HUANG.; YU-HENG CHANG.** Analysis of Effects of Synchronism Conditions on Power System Operation. In: SICE Annual Conference. *Proceedings of SICE Annual Conference (SICE)*. Waseda University, Tokyo, Japan, 2011. 1416 - 1419.

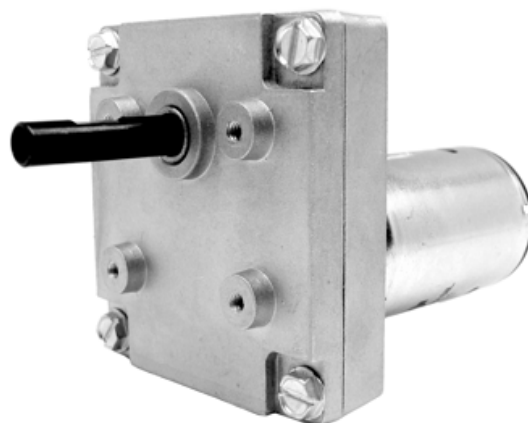
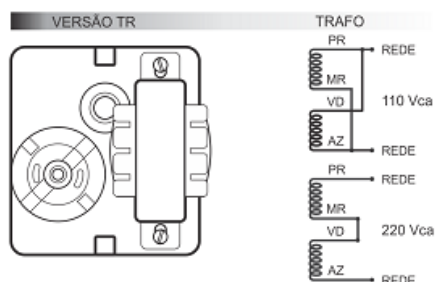
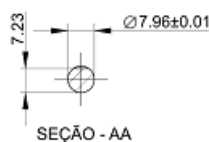
**ZWEIRI, Y.H.; WHIDBORNE, J.F.; SENEVIRATNE, L.D.** A mathematical transient model for the dynamics of a single cylinder diesel engine. In: *International Conference on Simulation '98*. Conf. Publ. No. 457. York. 1998. 145 - 151.

# Anexo 1- Especificações do Moto redutor CC

## Motoredutores >> MR 710 / MR 710 TR



- Corrente contínua
- Ímã permanente
- 2 Pólos
- Massa 400g e 600g (na versão TR)
- Engrenagens sinterizadas
- 12 ou 24 Vcc
- 110 e 220 Vca (na versão TR)



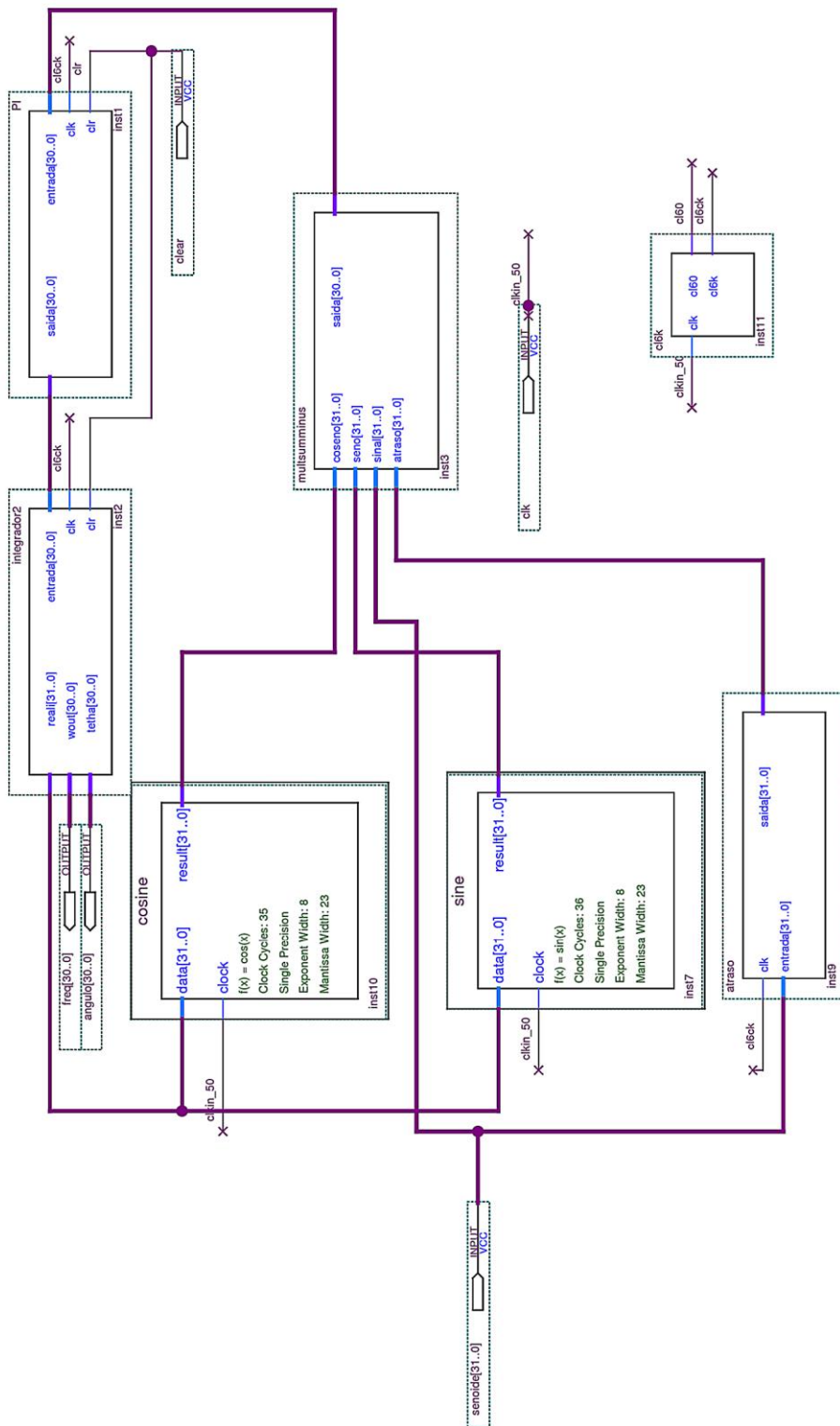
Controlador recomendado: CVE 2005

Dimensões em milímetro ( mm )

MODELO	VOLTS V	S / CARGA		MÁXIMA EFICIÊNCIA					TORQUE TRAVADO kgf cm
		RPM	A	RPM	A	TORQUE kgf cm	POTÊNCIA W CONSUMO	ENTREGA	
MR 710-3	24	3	0,04	2,4	0,18	23	4,5	1,3	132
MR 710-6	24	6	0,04	4	0,18	23	4,5	1,3	150
MR 710-10	24	10	0,1	8,8	0,28	23	6,8	3,2	163
MR 710-15	24	15	0,16	13,8	0,4	23	9,6	5	158
MR 710-24	24	24	0,04	21	0,18	6,2	4,5	1,3	83
MR 710-42	24	42	0,16	38	0,4	13	9,6	5	98
MR 710-60	24	60	0,16	55	0,4	9	9,6	5	77
MR 710-88	24	88	0,2	68	0,5	13	12	9	86
MR 710-115	24	115	0,16	107	0,5	8,5	12	9	71
MR 710-163	24	163	0,2	158	0,5	6	12	9	75
MR 710-230	24	230	0,2	218	0,5	4,5	12	9	35
MR 710-330	24	330	0,1	318	0,28	1	6,8	3,2	20

Outras velocidades e voltagens sob consulta

## Anexo 2 - PLL desenvolvido no Quartus



## Anexo 3– Código do Matlab para SignalTapII

---

```

clc;
clear;
fprintf('Start SignalTap II');
if(exist('alt_signaltap_run')==0)
    addpath('C:\altera\11.0\quartus\bin');
end
x=alt_signaltap_run('C:\altera\11.0\quartus\dissertacao\stp1.stp','signed');
clf;
N=length(x);
j=1;
for i=1:30;
    x(j:j+1023,:)=alt_signaltap_run('C:\altera\11.0\quartus\tese\stp1.stp','signed');
    for ig=1:6;
        z=x(j:j+1023,ig);
        dado(j:j+1023,ig)=typecast( z, 'single');
        if ig==1
            subplot(3,1,1)
            plot(dado(:,ig),'k');
            ylabel('\theta(rad)')
            xlim([0 length(dado(:,ig))])
            title('Ângulo das tensões')
        end
        if ig==2
            hold on;
            subplot(3,1,1)
            plot(dado(:,ig),'r');
            hold off;
        end
        if ig == 3
            subplot(3,1,2)
            plot(dado(:,ig),'k');
            ylabel('1/189 V')
            axis([0 length(dado(:,ig)) -1.25 1.25])
            title('Tensão Normalizada')
        end
        if ig == 4
            hold on
            subplot(3,1,2)
            plot(dado(:,ig),'r');
            hold off
        end
        if ig==5
            subplot(3,1,3)
            plot(dado(:,ig),'k');
            xlabel('Amostras')
            xlim([0 length(dado(:,ig))])
            ylabel('\omega(rad/s)')
            title('Frequência da tensões')
        end
        if ig==6
            hold on;
            subplot(3,1,3)
            plot(dado(:,ig),'r');
            hold off
        end
    end
end

```

```
    end
  end
  %drawnow;
  j=j+N;
end

alt_sigtap_run('END_CONNECTION');
fprintf('Done\n');
```